

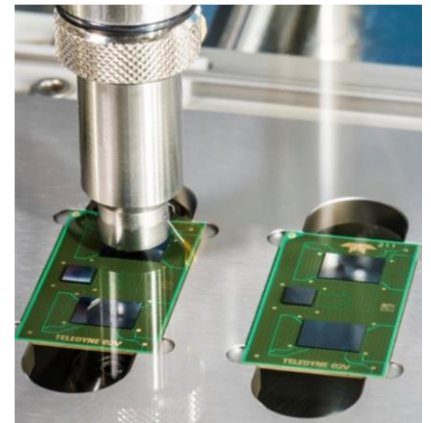
高度な ATP による システム性能向上と製造ボトルネック解消

2023 年 9 月



概要

電子システムの性能仕様やフォームファクターが急速に変化する中でサプライチェーンのボトルネックが多く存在します。システムレベルの設計に一つでも問題があると、それが全体に影響します。ソフトウェアやシステムの柔軟性を(センサーからデジタル処理ユニットの入出力に至るまで)最大にするためには、アナログ回路とデジタル回路をバランス良くトレードオフしなければなりません。この根本的な問題への対処として、様々な回路のコンポーネントを区画化(あるいは連結)し、できるだけソフトウェアリゼーションで対応するシステム設計が必要です。高度な ATP 技術により、システム設計手法の中心はハードウェアからソフトウェアへと急速に移行しています。Teledyne e2v は高度な ATP や SiP の設計における専門性によって、システムレベル設計に革命をもたらして最大限の柔軟性とマルチミッションへの対応を実現します。RF やミックスドシグナル、デジタル処理アプリケーションにおける最先端の技術(フリップチップ、有機パッケージなど)は、産業、医療、航空電子工学、計測、通信、防衛、宇宙などの分野で利用されています。Teledyne e2v には 40 年以上にわたる高度な ATP や SiP の設計経験があり、システム設計において電子システムプラットフォームの開発に適した最高の性能と製造における柔軟性を提供します。



半導体製造と実装

半導体の自国内生産を推進するため、各国政府は多額の資金援助により半導体産業を後押ししています。直近では欧州半導体法の成立を受け、欧州の半導体バリューチェーンに 220 億ユーロが追加投入されました。最新の欧州共通利益に関する重要プロジェクト(IPCEI)は、欧州の半導体産業に多大な公的投資および私的投資を引き起こしています[1]。特に、製造能力を拡大して材料(ウェハなど)、装置(ウェハ製造、チップ製造、高度な ATP(組み立て、試験、パッケージング))の各段階で、サプライチェーンのボトルネックを解消する必要性が認識されています。SMEを含む多くの企業にとって、サプライチェーンのボトルネック解消はさらに重要です。このため、プロセッサ、AI チップ、FPGA、メモリ、チップレット、光相互接続などのフロントエンドや、次世代半導体デバイス技術などに対して焦点が当てられています。最先端の試験装置やパッケージング材料も、今では通信や自動車、産業オートメーションといった IoT 分野のほか、AI やエッジ・コンピューティングを実現する次世代半導体のサプライチェーンの要所となります。



半導体製造の拡大に向けて世界的な大規模投資が行われる中、同じチップを実世界でどのように実装するかが大きな課題です。高度な半導体製造能力の強化に焦点化すると同時に、高度な ATP にも重点を置く必要があります。歴史的には、半導体製造の ATP は、下層/バックエンドと、上層/高付加価値のフロントエンドとの対比という視点から捉えられてきました[2]。ただ、以下の二つの気運により、ATP に対する見方が変化しています。1) 垂直統合型デバイスメーカー (IDM) では、特にムーアの法則が減速するにつれ、処理能力には高度な ATP が重要であるとの認識が強まっており、その結果、2) 新たな半導体ソリューションの実現に向け、IDM が高度な ATP のエコシステムをサポートする材料や装置、システムの開発に多大な金銭的・知的資源を投入する必要性が生じています。高度な ASP におけるイノベーションは、他の新興市場に次世代半導体を導入する際の深さと広がりを決定づける重要な要因であり、将来の半導体産業技術などへの影響も考えられます。

高度な ATP による システム性能向上と製造ボトルネック解消

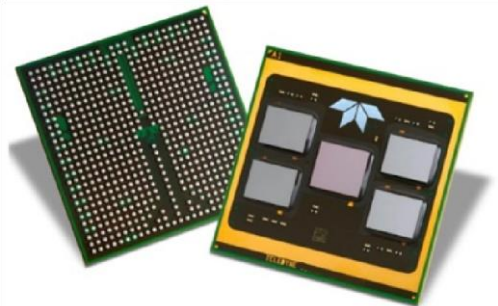
2023 年 9 月



組み立て、パッケージング、試験(ATP)とは、完成した半導体の接続、保護、検証のプロセスです。高度なパッケージング技術には、従来のパッケージング技術も含まれます。つまりチップをパッケージに統合するための一連の工程が含まれているので、消費電力の削減、入出力や性能の向上、コストの削減が可能になります[3]。パッケージングは、半導体技術革新のボトルネックになりつつあります。「ロジックチップやメモリチップ上のトランジスタ密度は指数関数的に増加し続けている一方で、ロジックとメモリ間の相互接続(配線)の密度はパッケージングに支配されるため、増加速度が各段に遅く、チップ間の通信ボトルネックにつながっている」ためです[4]。これまでの半導体業界では、ムーアの法則で記述される従来型 CMOS の微細化を優先しており、この問題への対応に割かれてきたリソースは限定的でした。しかし、トランジスタ密度が物理的限界に達するにつれ、チップ性能を向上させる新しい方法が求められています。新たなパッケージング技術では相互接続密度が向上するため、信号速度の高速化とエネルギー要件の低減が可能です[4]。この高度なパッケージングでは、新たな技術と材料を使用することで、集積回路の性能やパワー、電力、モジュール性、耐久性を向上しています。このため、低レイテンシ、帯域幅の拡大、効率と電力供給の改善、入出力密度の向上など、さまざまな利点があります[5]。パッケージタイプは、相互接続タイプによって識別され、セグメントに分けられるのが一般的です。

高度なパッケージングの利用により、あらゆる市場セグメントで性能向上と大量生産の抑制が可能になります

現在では半導体の組み立て、パッケージング、試験(ATP)の境界は曖昧になっています。特に高度なパッケージングの場合にはそれが顕著です[2]。従来の半導体 ATP の場合、まず製造されたウェハの欠陥検査から始まり、個々の IC に使用するかどうかを決めます。その後、それらの IC を基板や PCB に搭載してワイヤーボンディングとケースへの封止を行い、さらに大きな電子システムに接続(そして保護)します。従来の半導体パッケージングは本質的にシーケンシャルなプロセスです。「高度なパッケージング」は、これらの工程を多数並行して組み合わせ、リソグラフィや計測機器といった初期段階の工程やツールを活用するようになってきました[2]。



高度なパッケージングの開発は従来のパッケージングと同様で、次のいずれかで行われます。(1)ポストファブ리케이션中に社内で ATP サービスを実施する IDM ファウンドリ、または(2)サードパーティの顧客を対象とした OSAT (Outsourced Semiconductor Assembly and Test) 企業 (Teledyne e2v など)。OSAT の顧客には、IDM やファウンドリ、ファブレス企業が含まれます。高度なパッケージ相互接続方法においても、IC を PCB に接続して電子信号を伝送する方法としては、依然としてワイヤーボンディングが主流です。その課題は、トランジスタが高密度化できるのに対し、ワイヤーボンディングはそうはいかないことです。基本的に、トランジスタはワイヤの伝送能力よりも大きな処理能力を発揮します。高度なパッケージングでは、この相互接続の問題を解決するために、ワイヤではなく「 bumps 」や「 bumps 」、 「ウェハレベル・パッケージング」を使用して IC を接続します。これによりコストを削減し、最小限のパッケージサイズと最大限の性能を実現します。半導体の製造量の増加に伴い、高度なパッケージング・サービスに対する需要も増加しています。

システム・イン・パッケージ技術 (SiP) では、このような高度な相互接続方法を使用しながら、一つのチップキャリアパッケージに多数の集積回路と受動部品を組み合わせ、システム全体の機能を果たすことができます。この SiP と比較すると、システムオンチップ (SoC) 集積回路アーキテクチャは、ムーアの法則の減速により厳しい制約を受け続けています。SoC の製造コストが指数関数的に上昇する中、SiP プラットフォーム技術を利用したチップレットの人気が高まり、パッケージ化が進んでいます。チップレットとは特別に設計された集積回路ブロックで、他のチップレットと通信してより複雑な IC をエミュレートすることが可能です。大規模で複雑なチップ設計でも、機能回路ブロック(すなわち、再利用可能な IP ブロック、チップレット)に細分化することができるためです。その後、チップレットは高密度 SiP の高度なパッケージに再統合されます。チップレットによって、異なる複数の小さな集積回路で構成されている電子システムが、あたかも一つの集積回路であるかのように振る舞うことが可能になります。これは、別々に製造されたコンポーネントをより高度なレベルの SiP に組み込むヘテロジニアス・インテグレーションによって実現されます。全体として、開発コストの削減、開発期間の短縮、機能性の向上、迅速な再構成修正、性能特性の向上が実現します」

[6] [7]。

高度な ATP による システム性能向上と製造ボトルネック解消

2023 年 9 月



チップレットを SiP の高度なパッケージング・プラットフォームに実装して使用する利点は以下の通りです。(1)IC の小型化によるチップやウェハの歩留まり向上、(2)最新のチップと既存チップのヘテロジニアス・インテグレーション、(3)特定のアプリケーション向けにシステム性能を最適化するための IC の混合とマッチング、(4)窒化ガリウム (GaN) など異なるプロセス技術の使用による、シリコンを超える性能の実現、(5)統合による全体的な生産量の削減と、機能性・性能の向上、(6)受動部品と能動部品を実装した SiP 設計による、SWaP のさらなる削減、(7)高密度 SiP 技術によるインダクタンス低減と、デカップリング・コンデンサの削減。例えば、高密度の IC 相互接続 SiP 技術を組み込み受動素子と組み合わせると、重量と消費電力を大幅に削減でき、既存のプリント配線基板アセンブリの物理的サイズを 27 倍も縮小できることが示されています [8]。電力削減の主な要因は、相互接続の長さとそれに対応する負荷の減少によるものです。相互接続を短くすることで、配線の形状によっては終端抵抗の必要性が減少し、除去することも可能になります。

Teledyne e2v の高度な ATP サービス

システム設計を担うエンジニアは、市場、アプリケーション、そして回路性能仕様の要件を理解しています。しかし、様々なリスク、技術の選択、フォームファクター、(スケジュール同期も含めた)開発スケジュール、信頼性、コスト、サプライチェーンの制約などの設計パラメータは非常に変わりやすいものです。これらの設計パラメータと、変化し続けるシステム性能仕様の要件とを合わせて考慮すると、設計技術におけるより狭い「重なり」部分が見えてきます (図 1 参照)。もちろん、どの設計パラメータにおいても、ミスがあれば高くつきます。設計開発において柔軟性をもたせることはプロジェクト全体の価値を高めますので、投資に値します。

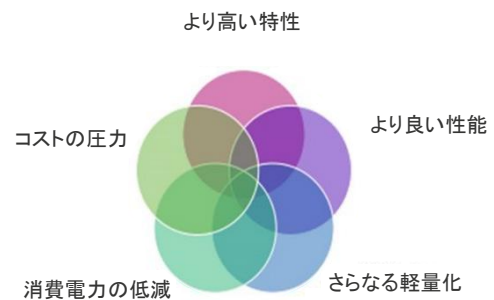


図 1 - 設計パラメータの増加とシステムレベル性能要件から、より「重なり」技術部分を絞り込むことができます

高度な ATP や SiP 技術の利用は、柔軟性を高められる設計パラメータの一つですが、開発段階だけでなく、最終的に必要な生産量と市場パフォーマンスの達成につながります。これまでシステムレベルの設計者は、発展し続けてきた半導体プロセス技術を利用し、SoC (システムオンチップ) 環境において、完全に機能する回路を実装してきました。特に、大規模なデジタルコンピューティングが必要な SoC アプリケーションへの半導体技術の利用は、ゲート長が 10nm 以下となったことから実現可能になりました。しかし残念ながら、半導体がコンパクトになるにつれ、チップ開発のコストは指数関数的に増加します (図 2 参照)。

技術課題 - プロセス曲線の崩壊

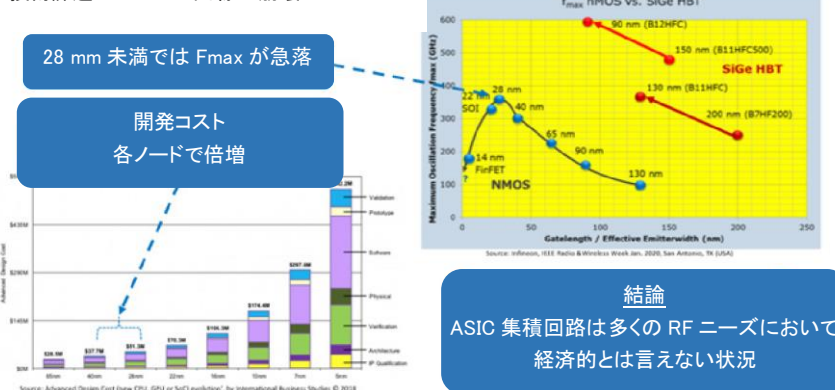


図 2:

高度な ATP による システム性能向上と製造ボトルネック解消

2023 年 9 月



Teledyne e2v では SiP 設計開発用として、幅広いサプライチェーンマネジメントサービスを提供し、ダイ設計、パッケージデザイン、高信頼組み立て技術、高性能の実測度試験および品質認定サービス、SLiM™ブランドの半導体ライフサイクル管理などを行っています。Teledyne e2v には、40 年以上にわたる高度な ATP や設計の経験(ADC、DAC、マイクロプロセッサ、メモリの設計や社内試験および品質認定サービスなど)があり、高度な SiP 製品やサービスを、様々な分野の市場で、あらゆるレベルの品質で提供しています。Teledyne e2v の高度な ATP や SiP の技術には、ワイヤボンディング、フリップチップ、有機およびセラミックパッケージ(ハーメチック、ノンハーメチック)が含まれており、異種統合も可能です。

宇宙、防衛、医療、産業用分野における高性能コンピューティングのための高信頼性アプリケーションによって、高度な ATP 技術は常に進化し続けており、サイズ、重量、電力(SWaP)の抑制と、機能や性能の向上が実現しています。電子機器パッケージングのために選択する基板技術は、SWaP を達成し、生産におけるボトルネックを最小限に抑えるための重要な技術です。標準的なプリント回路基板(PCB)では、誘電体材料を使用しているため、回路密度と性能が制限され、複数の半導体部品を使用した信頼性の高いアセンブリを実現することができません。チップパッケージングに使用されるセラミック基板は、有機基板技術と比べ、重量や電気的性能、信頼性において不利な点があります。SiP で使用される代替材料には、薄型有機基板、液晶ポリマー(LCP)、microFLEX などがあり、PCB やセラミックの限界を克服しながら、SWaP もサポートしています[8]。

Teledyne e2v の高度なパッケージング技術

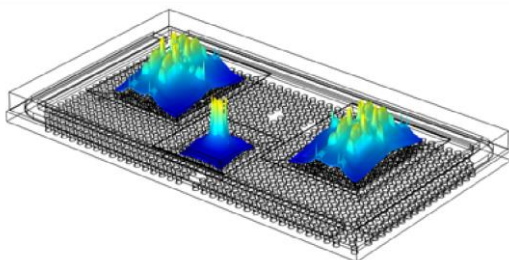


図 3-SiP 伝熱シミュレーション

RF 電気回路や半導体素子、フィルタ、伝送線のパッケージ設計などを対象として電磁的な構造解析を行います。

この例では、Teledyne e2v の自然な SiP プロセス開発フローに沿って、Teledyne e2v のパッケージチームと半導体設計チームが協力し、ある RF アナログフロントエンドを共同設計しました[9]。

高度な ATP SiP の開発には、パッケージシミュレーションやパッケージ特性の測定を実施し、熱と信頼性をどちらも考慮する必要があります。コンポーネントの中で最もクリティカルな接合部の温度を正確に予測するには、伝熱シミュレーションが不可欠です。Teledyne e2v では、測定結果とできるだけ適合するような性能をシミュレーションするため、システム設計者と検討した境界条件を利用します(これが SiP プラットフォームに組み込むコンポーネントへの要件となります(図 3))。Teledyne e2v では高周波構造シミュレータ解析(Ansys HFSS)も利用し、RF SiP 開発のシミュレーションと設計を行います。

HFSS は、市販の有限要素法を利用するもので、SiP パッケージ内の複雑な

SiP の信頼性を保つよう設計することは、重要なエンジニアリング課題です。一枚の有機基板には様々なシリコン技術が組み込まれ、C4(controlled collapse chip connection、はんだバンプを使用したフリップチップによる接合)および C5(はんだボール)の電子機械インターフェイスで、RoHS 対応のはんだ接合が形成されています。Teledyne e2v は、はんだクリープや粘塑性のような非線形の挙動を考慮し、熱機械分析によって素早く正確に歪みを検知して基板レベルでの信頼性を保つため、高度な技術を利用しています(図 4 参照)。

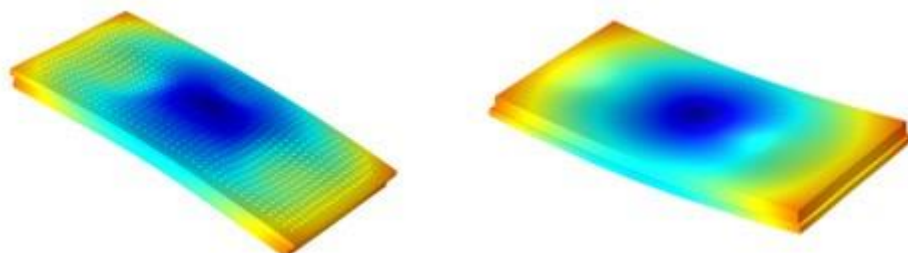


図 4 - 室温における組み立て後のパッケージの歪み(50 倍拡大図)

高度な ATP による システム性能向上と製造ボトルネック解消

2023 年 9 月



専用の設計と組み立てサービスでは、カスタム化製品、少量および中程度の量、高信頼性／ハイエンド、QML-V および QML-Y 品質規格認定、そして宇宙グレード認定などに対応します。Teledyne e2v の高度な SiP 設計および組み立てサービスは、全ての分野の市場や製品種別に対応する「ワンストップショップ」となります(図 5a、5b 参照)。つまり、Teledyne e2v では宇宙グレードレベルの設計、パッケージング、試験、品質認定サービスを提供しているため、その他の分野の市場、アプリケーション、品質レベルにも十分に対応できるのです。

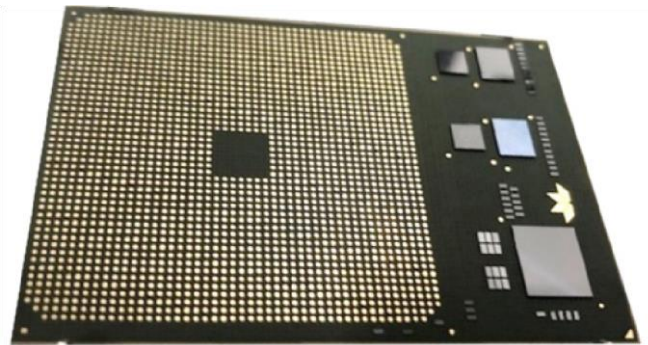


図 5a - 有機材料基板(50mm x 60mm)上の SiP の例、両面、32 ステップ
トップおよびボトム



図 5b-Teledyne e2v の ATP サービス

最後に、高度なシステム開発は今後 10 年間で新たなステージに入ります。ゲート長は半導体の面積寸法の増加に直結するため、ゲート長の微細化に対応したデバイスの組み立てでは SiP 技術の利用が最重要事項になります。SiP には SoC として様々なコンポーネントが含まれますが、有機基板やパッケージ素材を利用してより大型の SoC を確実に組み立てるには、大規模な技術的投資が必要になります。既に Teledyne e2v は今後数年に見込まれる ATP 技術の進歩に対応すべく準備を進めています。この事業は ESA と IPCEI がスポンサーとなっています。

高度な ATP による システム性能向上と製造ボトルネック解消



2023 年 9 月

結論

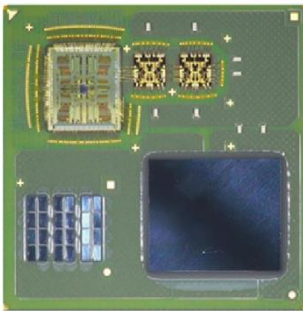


図 6 - ヘテロジニアス SiP
有機基板 (20mm x 20mm)
Si + GaAs + SMD
フリップチップ、銅ピラー、
ワイヤーボンディングによる
ダイ接合

現在、システム設計者は、半導体プロセス(および幾何学的配列)の選択、回路の小型化への圧力、膨れ上がるコスト、製造ボトルネックなど、重大な設計パラメータの課題に直面しています。さらに、新たな ADC、DAC、マイクロプロセッサ、メモリコンポーネントが次々に高度なシステム開発に利用可能となっています(図 6 参照)。産業から医療、航空、計測、通信、防衛、宇宙アプリケーションに至るまで、システムレベルの設計に一つ問題が見つかり、それが全体に影響を及ぼします。このため、フォームファクターのトレードオフをバランスさせ、ソフトウェアやシステムの柔軟性を最大限に確保し、生産フローを妨げないようにしなければなりません。高度な ATP や SiP といった組み立て技術によって、全ての先進的な市場分野において、システム設計手法の中心はハードウェアからソフトウェアへと急速に移行しています。Teledyne e2v は ATP や SiP の設計における専門性によってシステムレベル設計に革命をもたらし、最大限の柔軟性とマルチミッションへの対応を実現します。Teledyne e2v は高度な ATP や SiP の設計経験をシステム設計に適用し、これまでと同様に今後もシステムプラットフォーム開発にふさわしい、最高の性能と価値を提供していきます。

参考資料

- [1] Thierry Breton, "EU Chips Act triggers further €22 billion investment into the European semiconductor value chain," European Commission, June 2023. (ティエリー・ブルトン, "欧州半導体法、欧州の半導体バリューチェーンに対する 220 億ユーロの追加投資を誘発", 欧州委員会, 2023 年 6 月)
- [2] John VerWey, "Re-shoring Advanced Semiconductor Packaging," CSET Center for Security and Emerging Technologies, June 2022. (ジョン・ファーヴェイ, "高度な半導体パッケージングを自国内で生産する動きが活発化", CSET 安全保障・新技術センター, 2022 年 6 月)
- [3] "Advanced Packaging," Semiconductor Engineering. ("高度なパッケージング", セミコンダクターエンジニアリング)
- [4] Saif M. Khan, Alexander Mann, Dahlia Peterson, "The Semiconductor Supply Chain: Assessing National Competitiveness," CSET, Jan. 2021. (サイフ・M・カーン, アレクサンダー・マン, ダリア・ピーターソン, "半導体サプライチェーン: 国際競争力の評価", CSET, 2021 年 1 月)
- [5] Matt Kelly, Jan Vardaman, "An Analysis of the North American Semiconductor and Advanced Packaging Ecosystem," IPC, Nov. 2021. (マット・ケリー, ジャン・ヴァーダマン, "北米の半導体と高度なパッケージングエコシステムの分析", IPC, 2021 年 11 月)
- [6] "HIR Overview and Executive Summary," Heterogeneous Integration Roadmap, 2019. ("HIR の概要とエグゼクティブサマリー", ヘテロジニアス・インテグレーション・ロードマップ, 2019)
- [7] Raja Saminathan, "Advanced Packaging Enabling Moore's Law's Next Frontiers through Heterogenous Integration," AMD, 2021. (ラジャ・サミナサン, "高度なパッケージングが実現するムーアの法則を超えた次世代ヘテロジニアス・インテグレーション", AMD, 2021)
- [8] Susan Bagen, Dave Alcoe, Kim Blackwell, Frank Egitto, "Advanced Organic Substrate Technologies Enable Extreme Electronics Miniaturization," i3Electronics. (スーザン・ベガン, デイブ・アルコー, キム・ブラックウェル, フランク・エジット, "エレクトロニクスの超小型化を可能にする先進の有機基板技術", i3Electronics)
- [9] Frederic Devriere, Nicolas Seller, Jane Rohou, "Making History: Advanced System in a Package Technologies Enable Direct RF Conversion," Teledyne e2v, April 2021. (フレデリック・デブリエール, ニコラス・セラー, ジェーン・ロホウ, "歴史的な技術: 先進的なシステムインパッケージ技術が実現するダイレクト RF コンバージョン", Teledyne e2v, 2021 年 4 月)



詳細については、以下宛てにご連絡ください:
ニコラス・セラー
BID マネージャー
組み立て・試験用サービス
nicolas.seller@teledyne.com



詳細については、以下宛てにご連絡ください:
ニコラス・シャンティエ
マーケティングディレクター
信号・データ処理ソリューション
nicolas.chantier@teledyne.com

