



概要

最新の耐放射線 CPU と耐放射線メモリは、宇宙空間の過酷な放射線環境から受ける影響が最小限となるように設計されています。これらの重要な部品に宇宙線、陽子、中性子などが当たると、シングルイベント効果（SEE）が発生するため、放射線の軽減が必要となります。特定の放射線環境における放射線の影響を理解してその特性を明らかにすることは、耐放射線部品を使用した宇宙システムの設計・検証手順の要点を定め、効果的な放射線の影響を軽減する技術を提案する上で不可欠です。コストを最小限に抑え、システムの可用性とスループット帯域幅を最大限に高め、発生するエラーを最小限に抑えるには、放射線環境と電子部品のばらつきを考慮した正しい放射線の影響を軽減する技術を利用することが重要です。設計段階では、システム性能を予測するためにモデリングとエラーレートの算出方法を理解する必要があります。Teledyne e2v は、過酷な放射線環境下での動作に耐えうる性能と機能を備えた最先端の耐放射線デジタルコンポーネントを提供して、宇宙空間に適した放射線の影響を軽減する技術を特定し、システムレベルでの放射線の影響を最小限に抑えるための基礎知識を提供します。本稿ではまず、半導体で観察できる一般的な放射線効果を紹介し、次に、Teledyne e2v の宇宙用の高速プロセッサ製品で観測された典型的な放射線の影響を紹介し、最後に、このような影響に対処するために適用可能な放射線の影響を軽減する技術を提案し、考察します。

1. 宇宙空間における放射線の影響について

宇宙空間では半導体は、プロセス技術、デバイスの形状、回路実装、デバイスが配置される宇宙空間（低地球軌道（LEO）、中地球軌道（MEO）、地球静止軌道（GEO/GSO））によって放射線環境の影響を受けます。宇宙には、主に宇宙線、太陽輻射、放射線帯（地球の磁場の影響下で粒子が蓄積する地球周辺の領域）の3つの放射線源があります。特定の放射線環境下における半導体部品の性能寿命は、主に吸収線量（TID）とシングルイベント効果（SEE）の発生頻度によって決まります。宇宙空間に配備される電子システムの放射線照射量は、該当の軌道、ミッション期間、および導入される遮蔽物の種類の関数です。放射線帯付近のイオン束のエネルギーは、0.1~10 MeV です。このイオン束が半導体パッケージを透過し、吸収線量（TID）効果およびシングルイベント効果（SEE）をもたらします。特に、運動エネルギーが 300 KeV を超える放射線イオンは、プラスチック、セラミック、または金属に格納された半導体を貫通し、ダイの機能を乱しやすい性質があります。



放射線は、1) 累積効果（多くのエネルギー粒子の通過による時間効果）または 2) 単一の粒子の通過による事象の2通りの形で半導体に影響を及ぼします。累積放射線量効果は、特定のデバイス内での放射線による電荷の生成と蓄積によって生じる吸収線量（TID）として定量化され、時間とともに蓄積されるデバイスの特性変化によって特徴付けられます。1個の粒子または光子の通過による事象は、無作為で瞬間的な混乱であるシングルイベント効果（SEE）として現れます。



電子正孔対が発生し、その一部が各電極に収集されると回路に過渡電流が流れ、SEE が発生します。破壊を招かない SEE には、SET (シングルイベントトランジエント)、SEU (シングルイベントアップセット)、SEFI (シングルイベントファンクショナルインタラプト)、一部の SEL (シングルイベントラッチアップ) が挙げられ、これらにおいては、部品が損傷しないよう最大電流が制限されています。破壊を招く SEE では、大電流によって半導体が損傷または破壊します。破壊を招く SEE としては、低インピーダンス経路や高電流経路を作り出すイオン照射によって引き起こされる SEL が挙げられ、デバイスに恒久的な損傷を与えることとなります。デバイスが恒久的に損傷していない場合、正常な動作を回復するためにデバイスの電源の再投入(オフ・オン)が必要となります。破壊を招く SEL のほかに、SEGR (シングルイベントゲートラプチャー) と SEB (シングルイベントバーンアウト) も、電源とグランド間に突然低インピーダンス経路が発生し、トリガーイベント終了後もこれが残る破滅的メカニズムです。

2. Teledyne e2v の宇宙用デジタル製品に対する放射線の影響

Teledyne e2v は、加速器施設で高エネルギーの重イオンと陽子を照射することにより SEE 試験を実施することで、耐放射線 CPU と耐放射線メモリのサンプルの特性を評価します。DUT の電源を入れ、通常の条件下で動作させて (最大電源供給能力と最高温度で実施される SEL を除く)、供給電流と出力状態を監視します。その後、DUT に重イオンまたは陽子を照射し、供給電流または出力状態の瞬時的変化を記録します。線エネルギー付与 (LET) とは、荷電粒子の単位距離あたりのエネルギー量です。LET は、イオンとイオンビームのエネルギーに依存するため、元素のイオンが異なると、LET も異なります。LET は、SEE の確率に影響を及ぼします。LET が高いほど、シリコンに生成されるキャリアが多くなり、キャリアが電界で蓄積される確率が高まり、測定できるレベルになります。

デジタルデバイスの場合、照射時にシングルイベント効果 (SEE) (1 回の高エネルギー粒子の照射によって生じる測定可能または観察可能な性能の状態の変化) を監視します。SEE には、シングルイベントアップセット (SEU)、シングルイベントファンクションインタラプト (SEFI)、シングル/マルチビットエラー (S/MBE)、シングルイベントラッチアップ (SEL) が挙げられます。SEE を監視する場合は、通常、ダイの活性領域を露出させるためにパッケージを開封する必要があります。たとえば、フリップチップ構造でパッケージ化されたデバイスは、放射線との相互作用を最大限に高めるため、蓋を外し、ダイを約 75 ミクロンまで薄くする必要があります。

SEE テストに加え、TID テストが以下の手順で実施されます。1) ユニットのウェハーからパッケージに組み立てる。2) 自動試験装置 (ATE) でテスト対象デバイス (DUT) の電氣的試験を行う。3) DUT の半分に通常の動作条件下でバイアスをかけ、もう半分にはバイアスをかけない状態で DUT をソケット基板に入れる。4) 基板を放射線源にさらし、室温で規定の TID レベルまで放射線照射して監視する。5) ATE で DUT を再度テストして、ユニットがまだ機能するか、重要パラメータがデータシートの限界値を超えていないかを確認する。Teledyne e2v は、耐放射線部品について、通常、100 krad の線量吸収 (TID) 能力と、60 MeV.cm²/mg 以上のラッチアップ (SEL) 耐性を備えることを目標としています。これにより、静止軌道までの宇宙空間を対象にできます。高い放射線レベルや線量に耐えられる部品であっても、SEU イベントと SEFI イベントが発生します。

メモリ製品 (たとえば DDR4) では、通常、1) 行と列、2) SEFI、3) スタックビットなどのワードエラー (シングルビットエラーとマルチビットエラー) が検出されます。プロセッサ製品 (LS1046-Space など) の場合、検出されるエラーは通常、キャッシュメモリーの SEU、コアと周辺回路の SEFI などです。



基本的に宇宙・衛星開発チームは、特定の耐放射線メモリや耐放射線 CPU デバイスが宇宙空間でどのようなエラーを起こすかを正確に理解しておくことが重要です。明白なのは、特定種類のエラーを起こさないデバイスにはエラーに備えた影響軽減技術を実装する必要はないということです。メモリと処理デバイスに特定のエラーが発生した場合は、宇宙空間でのエラーを根絶したり、エラー率を低減したりするための放射線の影響を軽減する技術が必要となります。

LS1046-Space example

SEU (core) cross-section

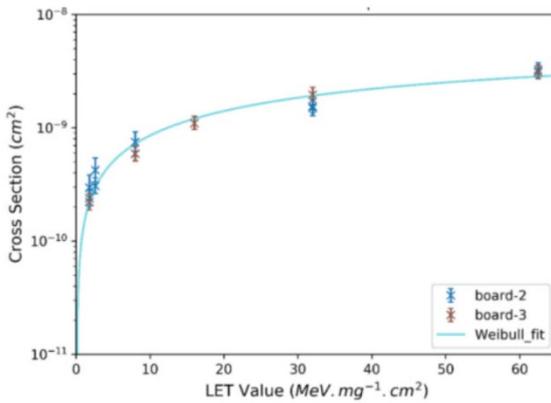


図1 - SEU 断面積/ビット - ワイブルフィット

Weibull parameters

A	5.09E-09
x0	0.1
s	0.81
W	80.16

Teledyne e2v は LET と比較したエラー断面積をプロットすることで、デバイスの SEE 確率 (SEU、SEFI など) を計算し、ワイブル曲線 (図 1) で表現しています。軌道におけるエラー率予測値を算出するために、データがワイブル曲線に沿ってプロットされます。重イオンと陽子線に対するデバイスの反応を完全に理解するには、数回のテストが必要な場合があります。また、シリコンの新設計や改訂など、製品に大きな変更があった場合は、一般的に SEE 特性評価を繰り返す必要があります。



図2 - QLS0146-Space 処理モジュール

もうひとつの例として、QLS0146-Space 処理モジュール (図 2) が挙げられます。この処理モジュールでは、LS1046-Space プロセッサと高速 DDR4 メモリが使われています。このプロセッサとメモリの性能を検証するために、複数の放射線テストが実施されました。DDR4 メモリでは、4 種類のイベント、すなわち単独ワードエラー、行・列エラー、SEFI イベント、スタックビットが観測されました。

メモリのテストでは、単独ワードエラー (図 3) がメモリーセルへの局所的なイオン照射により発生し、1 ビット (SBE) または複数ビット (MBE) の状態が変化します。



図3 - 単独ワードエラーの例



デバイスの特性評価後、軌道エラー率を計算することで、軽減策を講じない特定条件下でのイベントの発生頻度を推定できます。表 1 に LS1046-Space の SEU エラー結果の一例を示します。

Orbit	GEO (35784 km)	GEO (35784 km)	GEO (35784 km)	ISS 51.50 400 km;400 km	ISS 51.50 400 km;400 km	ISS 51.50 400 km;400 km	Proba 2 99.28 720 km	Proba 2 99.28 720 km	Proba 2 99.28 720 km
Magnetic weather	quiet	quiet	quiet	quiet	quiet	quiet	quiet	quiet	quiet
trapped protons	AP8min	AP8min	AP8min	quiet	quiet	quiet	quiet	quiet	quiet
solar conditions	solar min	flare (worst day)	flare (worst 5 min)	solar min	solar worst day	solar worst 5 min	quiet	solar worst day	solar worst 5 min
shielding	1 g/cm ²	1 g/cm ²	1 g/cm ²	1 g/cm ²	1 g/cm ²	1 g/cm ²	1 g/cm ²	1 g/cm ²	1 g/cm ²
SEFI/day	0.01	11.70	43.50	0.00	0.01	0.03	0.01	2.61	9.71

表 1 - SEU エラー率

3. デジタル製品に対し講じられる影響軽減技術

特性評価で得られたエラー率は、アプリケーションによっては十分に低いといえない場合もあるため、影響軽減技術を導入することで、エラー率をさらに低減し、機器の性能または可用性を許容可能な水準に保つことができます。宇宙・衛星開発における放射線の影響を軽減するには、性能と実用性のバランスを考慮して、耐放射線デバイスを選択し、最新の COTS 技術とともに実装する必要があります。宇宙・衛星開発には、以下の 2 つの設計手法があります。1) Traditional : 故障率が低く、高額な耐放射線設計 (RHBD) 部品 (放射線による損傷や影響のほか、高レベルの吸収線量に耐えられるよう独自に設計されたもの) を使用した、一般的に最先端とは程遠いとされる目的別半導体。2) New Space : ミッション保証を重視し、画期的な性能を発揮する最新技術を活用した耐放射線デバイスを積極的に使用する手法。

半導体の放射線耐性は、制御可能な変数と制御不可能な変数の両方によって決まり、そのすべてに放射線軽減が必要となる場合があります。必要に応じてエラー訂正回路 (ECC) を内蔵し、冗長エラー訂正回路の実装もできる耐放射線製品の設計が重要です。たとえば、Teledyne e2v の QLS0146-Space 処理モジュールは、所定の放射線環境に対して必要な性能特性を示すことができるさまざまな放射線軽減技術 (冗長および非冗長の両方) で使用できるように開発され、特性評価されています。放射線の影響を抑えるには、モジュールに搭載された所定の ECC (エラー訂正回路) を利用するのが一般的です。ECC は、DDR4 メモリの専用余剰バイトを使用し、メモリの 72 ビットの語長を 64 ビットの実データと 8 ビットの訂正コードに分割します。ECC エンジン、LS1046-Space プロセッサの DDR4 コントローラに内蔵されています。そのため、DDR4 メモリの ECC バイトは、他のデータバイトと全く同じように動作し、エラーの軽減は LS1046 プロセッサのハードウェアで処理されます。SBE は ECC によって検出、訂正されるため、ECC を有効にしておくことで、これらのエラーを軽減できます。複数回のイオン照射による SBE の蓄積を避けることが重要です。時間が経つと、SME から MBE を招く可能性があります。また、LS1046 は、DDR4 メモリ全体を定期的に検査し、発生した SBE を訂正できるスクラビングエンジンを搭載しています。

放射線耐性の問題を解決するために、回路レベル (マルチチップ) で SEE を低減する手法も採用されています。一般的な回路レベルの設計手法としては、1) 回路駆動能力の引き上げと駆動の冗長化、2) ビットエラーの検出と訂正のための回路の追加が挙げられます。一般に、エラー検出には、各データ単語 (単語長に関係なく) のパリティを格納するための追加ビットが必要となります。シングルビットアップセット (SBU) が発生すると、データのパリティがパリティビットと一致なくなります。パリティ回路の実装により、回路とメモリ・サイズの両方のコストを最小限に抑えながら、1 ビットのエラーを検出できます。残念ながら欠点もあり、1) あくまで検出であり、エラーを訂正できない、2) マルチビットアップセット (MBU) が検出できないため、これがメモリに常駐する可能性がある、という欠点があります。これは、サイレント・データ破損と呼ばれます。



今日の耐放射線システムには、ますます高い信頼性が求められるのと同時にサイレント・データ破損を回避し、プロセッサの可用性とオーバーヘッドを最大限確保することが求められています。システムレベルのアーキテクチャでは、2 モジュール冗長 (DMR - 図 6) 回路または 3 モジュール冗長 (TMR - 図 7) 回路も有効な手段です。このようなアーキテクチャを採用すると、論理パス内の SEU エラーまたは SEFI エラーを検出できます。DMR システムの場合、2 つの出力が一致しないときにエラー検出が行われます。TMR システムの場合、他の 2 つの有効な入力を多数決回路に従って却下することで、エラーが検出されます。TMR 方式では、保護されていないデータパスの 2~3 倍のシリコン面積を使用し、重要なクリティカル・ロジックパスを特定するための専用のシミュレーションツールが必要となります。最も野心的で高価なエラー検出・訂正回路を、システムレベルの冗長化という形で実装することもできます。このためには、複数の同一コアがロックステップ（同時に同じコードを実行すること）で動作する冗長プロセッサコアを使用する必要があります。これは、同じ演算・命令フローがそれぞれの冗長コアで実行されるため、面積と電力の両面で高価となります。前述のエラー訂正技術に加え、データスクラビングも活用できます。データスクラビングでは、バックグラウンドタスクによって定期的にメインメモリーにエラーがないか検査し、冗長データを使用して、検出されたエラーを訂正します。データスクラビングを行うことで、単一の訂正可能なエラーが蓄積される可能性を低減され、訂正不可能なエラーが発生するリスクを低減されます。また、データ内のすべての不整合のルーティングチェックが行われ、ハードウェアとソフトウェアのシステム障害が防止されます。スクラビングの頻度は、SEU の割合によって決まります（たとえば、頻度は 1 日 1 回から 5000 日に 1 回の範囲で設定できます）。

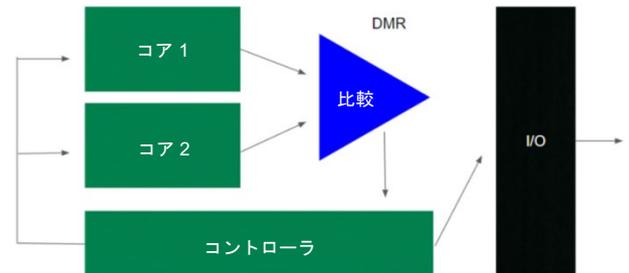


図 6

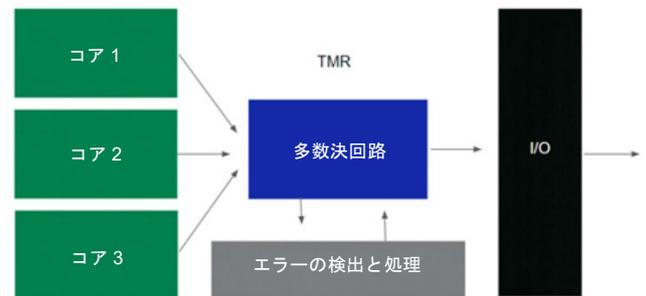


図 7

結論

最先端の CPU とメモリはますます複雑化し続けてテストがさらに難しくなり、放射線の影響も受けやすくなっています。これらのデバイスを利用した新しい放射線の影響を軽減する技術を実装することは、将来の宇宙システムの開発において戦略上重要です。放射線の影響を理解し、最も効果的な放射線軽減技術を導入するには、デバイスの SEE エラーの特性を評価し、エラー率を算出する必要があります。コストを最小限に抑え、発生するエラーを最小限に抑えながらシステムの可用性とスループット帯域を最大限確保するには、放射線環境に対応するさまざまなエラー率と確率に関する正確な情報を把握することが最も重要です。Teledyne e2v は、全ての耐放射線製品に関する広範な情報とサポートを提供しています。ご要望に応じて、専用の耐放射線対策アプリケーションノートをご確認頂けます。



詳細は、私にお問い合わせください
Yuki Chan,

マーケティング&コミュニケーション
マネージャー

Yuki.chan@teledyne.com



詳細は、私にお問い合わせください
Marc Stackler,

セールス兼
アプリケーションエンジニア

Marc.stackler@teledyne.com

