

Teledyne e2v の宇宙グレード DDR4 を使用したハードウェア設計における考慮点

ラジャン・ベディ博士

2021 年 6 月



TELEDYNE e2v | Semiconductors
Everywhere you look™

抄録

高速で信頼性が高く耐放射線性に優れたメモリは、複雑な宇宙用エッジ・コンピューティングシステムに必要不可欠です。DDR4 によって、宇宙産業ではオンボード処理のスループットが向上し、データの取得時間を延ばすことができます。その結果、超高解像度画像、ライブストリーミングビデオ、オンボード AI などの新たな地球観測、宇宙科学、および通信アプリケーションを実現できます。

以前、Teledyne e2v の宇宙アプリケーション用耐放射線性 DDR4 ([DDR4T04G72](#)) を紹介しました。このメモリは最大 1.2 GHz のクロック周波数と 2.4 GT/s のデータ転送速度 (172.8 Gb/s の帯域幅) で 4 GB の揮発性ストレージを提供します。本ホワイトペーパーでは、この宇宙用 DDR4 メモリを深く掘り下げて見ていきます。

本稿では、まず SDRAM について技術的に考察した後、DDR4 のアーキテクチャ自体と構成について説明します。その理由は、DDR4 にはアーキテクチャとハードウェアに新たな特徴があり、設計するにはこれらを考慮する必要があるからです。

例として、PolarFire FPGA と Teledyne e2v の DDR4T04G72 とのポイントツーポイント接続、および複数の DDR4 デバイスと Xilinx KU060 FPGA との接続について紹介します。

最後に、DDR3 と比較した場合の DDR4 のメリットと、シングルモードとマルチモードの DDR4 構成のストレージおよび容量について説明します。

前回、宇宙用 [DDR4](#) について紹介しました。このメモリは、4 GB の揮発性で最大クロック周波数 1.2 GHz、データレート 2.4 GT/s (帯域幅は 172.8 Gb/s) を実現します。DDR4 は新しいアーキテクチャとハードウェア機能を備えており、容量、性能、拡張性、システムレベルの信頼性、電力効率において前世代の SDRAM よりも優れています。本稿ではこのメモリについて紹介し、航空設計を最初から確実に行うにあたって考慮すべきタイミングやシグナルインテグリティ、および FPGA との接続性について説明します。

SDRAM のアーキテクチャは、行と列による 2 次元アレイに配置されたメモリセルで構成されています (図 1)。目的のビットを選択するためには、まず要求された行を指定し、次に特定の列を指定する必要があります。目的の行が開くと複数の列にアクセスできるため、連続して読み書きを行うことで速度を向上させ、レイテンシを低減することができます。

ワードサイズを大きくするために、メモリは複数のアレイを備えています。これは、読み取り/書き込みアクセスが要求された場合、各アレイから 1 つのビットにアクセスするのにメモリは 1 つのアドレスが必要だからです。メモリ全体の容量を増やすために、SDRAM の内部構造には以下のようにバンクが追加されています。バンクインターリーブによりさらにパフォーマンスが向上し、個別にアドレスを指定できます。

Teledyne e2v の宇宙グレード DDR4 を使用したハードウェア設計における考慮点

ラジャン・ベディ博士

2021年6月

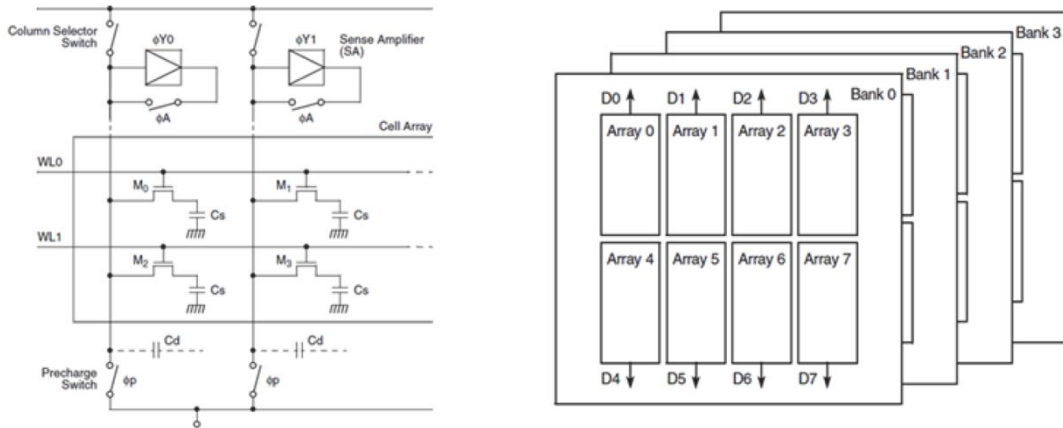


図1：SDRAMのビットセルとDDRチップの構成

SDRAMのコア速度はI/O速度よりも遅く、カラムコマンドごとに複数のワードデータにアクセスし、インターフェイスとの間でシリアル化されます。DDR4は8n-プリフェッチアーキテクチャを採用しており、I/Oでは1クロックサイクルあたり2つのnビット幅データワードを転送します。1回のリード/ライト動作は、内部のDRAMコアでの単一の8nビット幅と4サイクルバースト転送、およびI/Oピンでの8つの対応するnビット幅と2分の1クロックサイクル転送で構成されます。

DDR4では、上記のSDRAMアーキテクチャを拡張しバンクグループを導入することで、1つのグループに対して8つのプリフェッチを実行しながら、別のグループに対して同様のプリフェッチを独立して実行できるようになりました。DDR4では内部バンクグループが時分割多重化されています。そのため、実際にはI/Oインターフェイスでの8ワードのバースト転送よりも内部コアの方が処理時間がかかるのですが、そのことを感じさせません。また、DDR3よりもバンクを増やして行のサイズを大幅に小さくすることでパフォーマンスが向上し、デバイスがより高速にさまざまなバンクを循環することができます。DDR4メモリの構成については以下をご覧ください。DDR4では、アドレスピンを増やすことなく大容量化に対応するため、新たに定義されたACT_n入力を用いて、コマンドピン(RAS、CAS、WE)のアドレスを多重化しています。ACT_nがイネーブルされると、これらの入力はそれぞれアドレスA16、A15、A14ピンとして使用されます。ACT_nがディセーブルされると、SDRAMコマンド真理値表で指定されたとおりに、通常の機能を再開します。

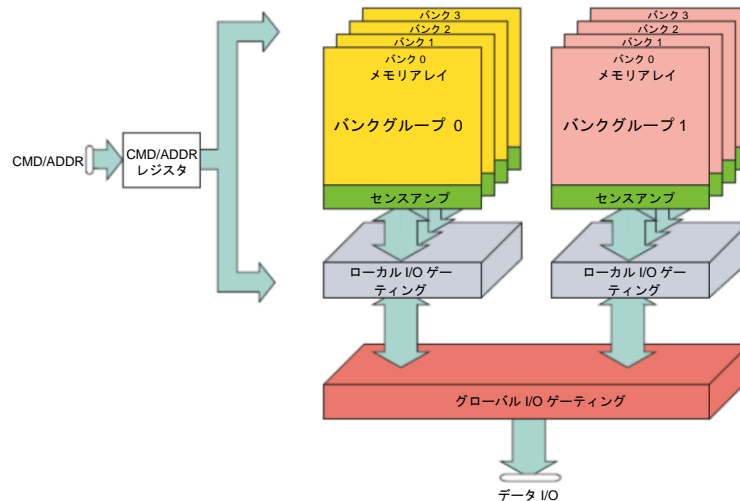


図2：DDR4バンクグループ

Teledyne e2v の宇宙グレード DDR4 を使用したハードウェア設計における考慮点

ラジャン・ベディ博士

2021年6月



Teledyne e2v の 4 GB の耐放射線性 [DDR4T04G72](#) は、5 個のダイを搭載する MCP で、そのうち 4 個のダイがそれぞれ 1 GB (8 Gb)、512 Mb×16 ビットのストレージを備え、上図のように 4 個のバンクを含んだ 2 つのグループで構成されています。信頼性を高めるために 72 ビットのデータバスを設けています。このデータバスは、データ用の 64 ビットとエラー検出・訂正用の 8 ビットで構成されます。この ECC 機能は、5 個目のダイに実装されています。このデバイスは、高速動作を実現するために 8n プリフェッチバッファを内蔵しており、プログラム可能なリード/ライトレイテンシおよびアディティブレイテンシに対応しています。

DDR4 には、消費電力を低減するためのさまざまなハードウェア機能が導入されています。例えば、I/O 電源 (VDDQ) の電圧が DDR3 の 1.35 V から 1.2 V に低下しました。また、2V5 電圧 (Vpp) を追加して内部ワード線を活性化することで、消費電力を 10% 削減しています。データバス用 I/O の電氣的インターフェイスが、下図のようにプッシュプルや SSTL (Series-Stub Terminated Logic) から擬似オープンドレイン (POD) シグナリングに変更されています。VDDQ の 1/2 ではなく VDDQ に終端することで、信号の振幅と中心を設計ニーズに合わせて調整することができます。POD I/O では、データ駆動時の消費電力が 0 であるため、スイッチング電流を削減できます。また、DDR4 ではデータバス・インバージョンを採用しており、これにより割り当てのビット数が減るため、消費電力が低減されます。スイッチングが減ることでノイズが減り、データ・アイがきれいになります。

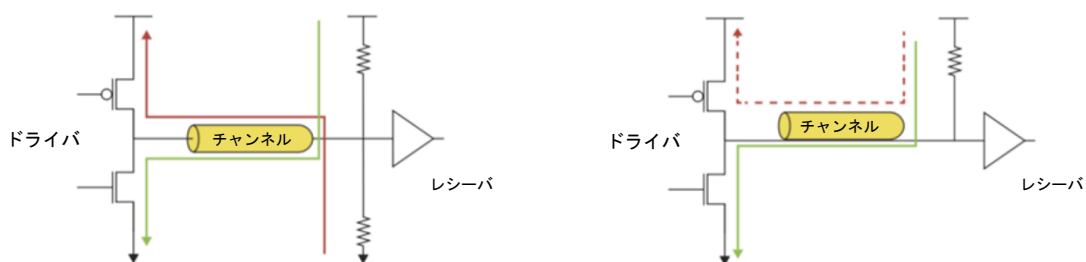


図3: DDR3 のプッシュプル I/O シグナリング (左) と DDR4 の POD (右) との比較

DDR3 SDRAM と比較した場合、VDDQ 電圧の低下、ワード線を昇圧するための外部 Vpp 電源の使用、POD シグナリングと VDDQ ターミネーションの変更、および前述の活性化電流の低下に伴う行サイズの縮小などにより、全体の消費電力は低減しています。データレートが同等であれば、DDR4 デバイスは電力効率において 30% も有利です。こうした改良により、SDRAM デバイスをより高速で、あるいはパフォーマンスは同じでも少ない消費電力で動作させることができます。[DDR4T04G72](#) では、消費電力予測用スプレッドシートと ICEPAK/ECXML の熱モデルを利用できます。

DDR4 を採用することで、信頼性、可用性、保守性 (RAS) がシステムレベルで向上します。また、書き込み時におけるデータバスのリアルタイム CRC エラー検出や、コマンドバスおよびアドレスバスのパリティチェックも実行できます (下図参照)。DDR4 では DDR3 とは異なり、パリティエラーの検出時にコマンドをブロックする構成が可能です。

Teledyne e2v の宇宙グレード DDR4 を使用したハードウェア設計における考慮点

ラジャン・ベディ博士

2021年6月

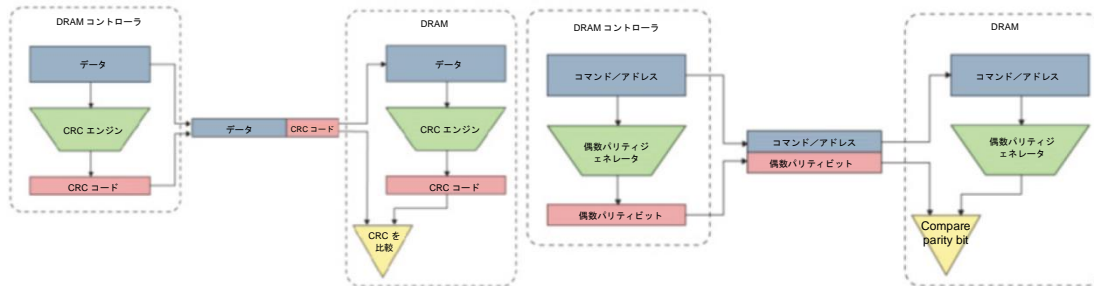


図4：DDR4 で実現するシステムレベルのエラー検出

DDR4 は、メモリのライフタイム中に ECC で修正できないソフトエラー向けにポストパッケージリペア機能を備えており、この機能によりエラーのある行を修正できます。この機能はシステムの信頼性を向上させ寿命を伸ばすだけでなく、シングルイベントアップセットから保護するためのメカニズムも提供します。

また DDR4 には、メモリとコントローラ間の PCB トレースの導通をチェックするコネクティビティテストモード（CT）があり、SDRAM の初期化シーケンスを起動する必要がなくなります。従来のバウンダリースキャンテストでは、クロックごとにテストパターンをデバイスに逐次入力・出力していましたが、CT モードではより高速なパラレルインターフェイスを使用しています。

DDR4 の I/O インターフェイスは真のソースシンクロナス設計で、双方向データストロブ（DQS）を使用して、1 クロックサイクル中にデータを 2 回取得します。リード時にはメモリからデータと同時に DQS が出力され、ライト時にはコントローラからデータと同時にストロブが出力されるため、同期リファレンスが可能です。データ転送レートが増加し振幅が減少したのに伴い、シグナルインテグリティを向上させる必要がありますが、そのためにクロック信号とストロブ信号を差動化してコモンモードノイズを相殺しています。DQS は PCB レベルで負荷がデータバスと同一になるため、同様に配線する必要があります。それ以外のアドレス信号、コマンド信号、制御信号、データ信号はシングルエンドモードで動作するため、ノイズやクロストーク、干渉の影響を受けやすくなります。

PCB のレイアウトの前に、与えられたタイミングバジェットのうち、配線のミスマッチにどれだけを割り振るかを決めておくことが重要です。これは時間または全体の周期に対する割合を考慮することで決めることができます（クロック周波数が 1.2 GHz の場合の周期は 833 ps となるなど）。FR4 の一般的なフライトタイムが 6.6 ps/mm であることから、トレース長を 1 mm に合わせることで、トラックチューニングに要する周期は全体の 1.6%程度になります。性能の限界を超えない設計の場合は、全体のタイミングバジェットのうち長さの不一致に割り振る割合を増やすことで、配線の柔軟性を高め、レイアウト作業を容易にすることができます。

PCB の伝搬遅延を計算する場合、内層（ストリップライン）と外層（マイクロストリップ）では実効誘電率が異なるため、伝搬遅延が異なることに注意してください。バイアスは Z 方向の追加長を表し、全体のタイミングバジェットへの影響を無視するためには、一致したラインのバイアス数が同一のスパンで同数になる必要があります。

プリント基板を製作する前に、レイアウト後のシミュレーションでタイミングマージンやシグナルインテグリティを確認することをお勧めします。DDR4T04G72 では IBIS モデルと Spice モデルを利用できるため、設計サイクルの早期段階で電氣的・タイミング的な適合性を確認することができます。筆者はメンター・グラフィックス社（現シーメンス社）の Hyperlynx Linesim と Boardsim を使用して、レイアウト前と後でシグナルインテグリティを検証し、ターミネーションとドライブ強度を最適化し、そしてタイミングマージンを検証して製造前にサインオフできるようにしています。EBD モデルは現在開発中です。

Teledyne e2v の宇宙グレード DDR4 を使用したハードウェア設計における考慮点

ラジャン・ベディ博士

2021 年 6 月



図5では、PolarFire 耐放射線性 FPGA を単一の DDR4T04G72 のデータラインに接続したときに Linesim で予測される、アイ・ダイアグラムを示しています。これは内部配線層を使用してコントローラとメモリ間のシグナルインテグリティを検証するためのものです。複数の DDR4 デバイスを単一の FPGA に接続し、それぞれに IP コントローラを持たせることも可能です（図5）。

全体のストレージ容量を増やすために、同じソフト IP で複数の DDR4 デバイスをフライバイまたはコラムシェルのトポロジーで命令することもできます。つまり、クロック、アドレス、制御、データの信号を共通化し、各 SDRAM に独自のチップセレクト入力を持たせることができます（下図）。この場合、伝送線路が長くなり容量負荷も大きくなるため、必要なドライバの電流強度をシミュレーションして確認する必要があります。各 KU060 DDR4 コントローラは、データバス幅が最大 80 ビットで、最大 5 つの外部メモリにアクセスでき、FPGA はこれらの IP のうち 2 つをインスタンス化することができます。

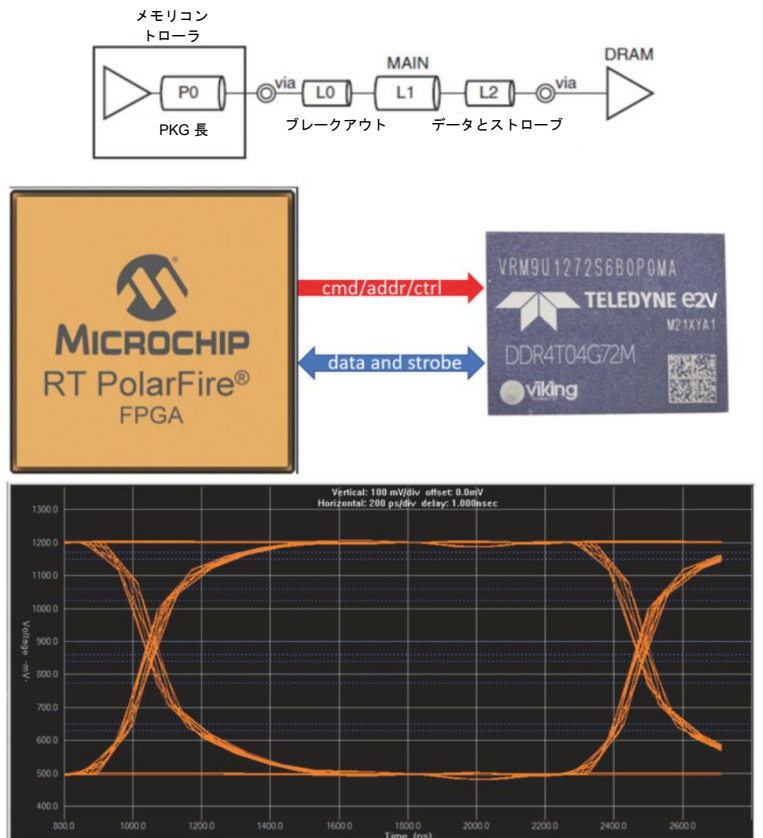


図5 : PolarFire と DDR4T04G72 間のポイントツーポイント接続

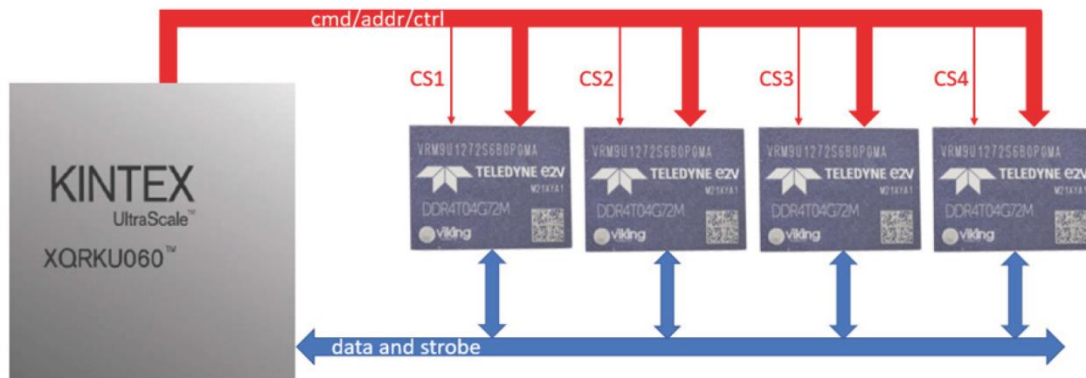


図6 : 複数の DDR4 デバイスと Xilinx KU060 FPGA との接続

Teledyne e2v の宇宙グレード DDR4 を使用したハードウェア設計における考慮点

ラジャン・ベディ博士

2021 年 6 月


TELEDYNE e2v | Semiconductors
 Everywher~~e~~youlook™

Xilinx では、DDR コントローラのインスタンス化の方法を示した[ビデオ](#)や、FPGA に接続可能な外部 SDRAM デバイスの数や最大レートを計算するための[リソース](#)を提供しています。PolarFire の DDR4 IP はデータバス幅が 72 ビットであり、上図のように 4 個の DDR4T04G72 を接続できます。

表 1 にある数字は、DDR4T04G72 を Xilinx の KU060 または Microchip の PolarFire 耐放射線 FPGA に接続した場合に得られるストレージ容量と帯域幅です。ここでは、データレートをそれぞれ 1.33 GT/s、1.86 GT/s と想定しています。いずれの FPGA でも、インスタンス化できる DDR4 IP の総数は使用する I/O によって異なるため、Vivado® Design Suite または Libero® SoC を使用して構成を確認してください。NanoXplore 社の NG-Ultra も DDR4 SDRAM をサポートする見込みです。

| | KU060 シングル | PolarFire シングル | KU060 マルチモード | PolarFire マルチモード | KU060 マルチ IP | PolarFire マルチ IP |
|---------------------------|------------|----------------|--------------|------------------|--------------|------------------|
| DDR4 メモリの搭載数の数 | 1 | 1 | 5 | 4 | 10 | 24 |
| FPGA DDR4 IPI コントローラの数 | 1 | 1 | 1 | 1 | 2 | 6 |
| 総ストレージ量 (GB) (ECC を除く) | 4 | 4 | 20 | 16 | 40 | 96 |
| DDR4 のバス幅 (ビット) (ECC を除く) | 72 | 72 | 72 | 72 | (2 x 72) | (6 x 72) |
| 最大データ帯域幅 (Gb/s) | 134 | 96 | 134 | 96 | 268 | 575.8 |

表 1: システムのストレージ容量と帯域幅

DDR4 のデータ信号である DQ、DQS、DM_n には、FPGA コントローラと SDRAM に組み込まれるダイナミック・オンダイターミネーション (ODT) が含まれており、通常は図 7、8 に示すように、アドレス、コマンド、コントロール、クロックの各ネットの遠端に外部終端抵抗を配置する必要があります。しかし DDR4T04G72 では、すべての高周波インターフェイス信号の ODT が含まれているため、このような外部終端抵抗は不要です。

従来のツリー・トポロジルーティングではスタブが発生し、スタブの長さは受信機の数に応じて長くなります。結果として、この伝送路の帯域幅が狭くなっていました。これにより信号の立ち上がり立ち下りのエッジを形成する高周波成分を減衰させ、SDRAM においてアイの開きを小さくしています。フライバイルーティングでは、スタブの数と長さを低減できます。

Teledyne e2v の宇宙グレード DDR4 を使用したハードウェア設計における考慮点

ラジャン・ベディ博士

2021年6月

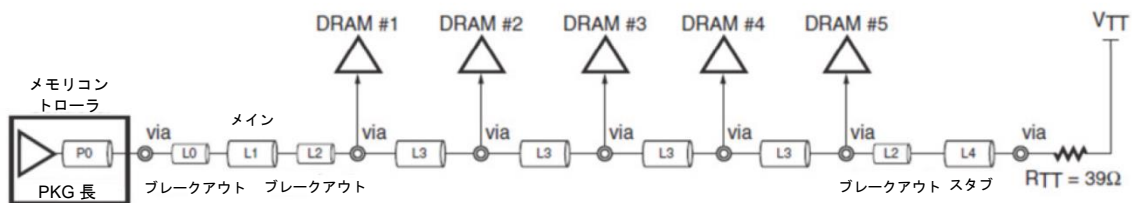


図7：DDR4 のコマンド、アドレス、コントロール信号のフライバイ終端方式

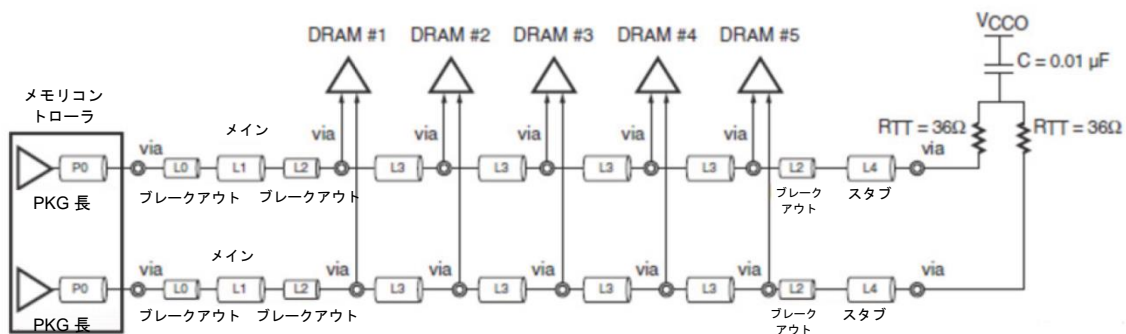


図8：DDR4 の差動クロック入力のフライバイ終端方式

DDR4 では、I/O だけでなくコアにもオンダイ・コンデンサが配置されているため、電源ピンのペアごとに外付けのコンデンサを配置する必要はありません。ただし DDR4T04G72 では、SDRAM コアがリフレッシュ、リード、ライトの動作で電流を必要とする際に電源電圧が低下しないよう、最低限の PCB デカップリングが指定されています。またデカップリングにより、出力ドライバの読み取り時の電流を確保しています。コアの周波数が低くなると静電容量値は大きくなければなりません、ドライバが高速でスイッチングを行うため、インダクタンスが低く静電容量も小さくて済みます。

ここまでで回路図の設計、レイアウト、製造前のタイミングおよびシグナルインテグリティチェックが完了しました。そしてプリント基板の組み立てを外注し、新しい基板が期待どおりに起動することを確認したら、メモリを使用する準備が整ったことになります。ただその前に、DDR4 を初期化して SDRAM が動作周波数と遅延パラメータを認識できるようにする必要があります。DDR3 では図 3 のように、**DQ** 信号が 0 か 1 かを判断する基準として、分圧器を用いて $V_{dd}/2$ を生成しています。DDR4 は内部リファレンス電圧として **VrefDQ** を使用しており、その値は初期化段階にメモリコントローラで設定する必要があります。さらに SDRAM では、電圧や温度のバラツキを最小限に抑えるために、出力ドライバのインピーダンスと ODT の値を定期的に校正する必要があります (ZQ 校正)。DDR4 を使用する前の最終段階として、SDRAM とコントローラ間の読み書きの遅延を計算する「メモリトレーニング」という作業があります。図 6 のように、複数の DDR4 チップが FPGA に接続されている場合、各デバイスはコントローラからの物理的な距離が異なるため、クロック、ストロブ、データとの間にフライトタイムスキューがそれぞれ発生します。このようなスキューを補正する機能が書き込みレベリングです。フライバックポロジでは、各チップが異なるタイミングでコマンド、アドレス、コントロールを受信します。リード/ライトセンタリングを活用することにより、常にデータアイの中心を捕捉して、SDRAM からのデータの読み取りまたは SDRAM へのデータの書き込みを確実に可能にします。メモリトレーニングでは、使用開始前に十分なマージンを確保するためにインターフェイスの初期校正を行います。

Teledyne e2v の宇宙グレード DDR4 を使用したハードウェア設計における考慮点

ラジャン・ベディ博士

2021年6月



TELEDYNE e2v | Semiconductors
Everywhereyoulook™

さて、結論になります。DDR4 によって、宇宙産業ではオンボード処理のスループットが向上し取得時間が増加します。そして超高解像度画像、ライブストリーミングビデオ、オンボード AI などの新たな地球観測、宇宙科学、および通信アプリケーションを実現できるのです。前述のとおり、DDR4 には新しいアーキテクチャとハードウェア上の特徴があり、最初から確実な設計を行うには、これらの特徴を考慮する必要があります。DDR4T04G72 にはデータシートに加えて、ユーザーガイドも用意されています。

DDR4 の登場によって、ここ 6 年にわたって他のメーカーが利用してきた広帯域メモリを、人工衛星や宇宙船のメーカーでも初めて利用できるようになりました。[DDR4T04G72](#) は最新の宇宙グレードの FPGA やマイクロプロセッサで使用でき、既存の品質認定済みの DDR3 SDRAM と比較して、以下の点を実現しています。

- メモリの帯域幅が 62% 拡大し (0.172 Tb/s、データレート 2.4 GT/s)、現行の転送速度が 2 倍に高速化
- ストレージ容量が 25% 増加
- 物理的サイズを 76% 小型化
- 消費電力を 30% 低減

ラジャン・ベディ博士は、スペースチップス社の創業者であり CEO です。スペースチップス社は、通信、地球観測、ナビゲーション、インターネット、M2M/IoT 衛星での利用に向けて、LバンドからKバンドまでの超高スループットのオンボードプロセッサ、トランスポンダ、OBC を設計・製造しています。同社は、宇宙・電子機器の設計やコンサルティング、航空電子機器の試験、技術マーケティング、ビジネスインテリジェンス、トレーニングサービスも提供しています (www.spacechips.co.uk)。スペースエレクトロニクスに関するご相談は、同氏のツイッターのアカウントでも受け付けています。 <https://twitter.com/DrRajanBedi>

スペースチップス社の「デザインコンサルタントサービス」では、カスタムメイドの衛星や宇宙船のサブシステムを開発するだけでなく、適切なコンポーネントの使用方法や選定方法、宇宙用電子機器の設計、テスト、組み立て、製造方法などをお客様にアドバイスしています。半導体メモリについては、「宇宙用 FPGA トレーニングコース」を受講することもできます。



TELEDYNE e2v
Everywhereyoulook™

お問い合わせはこちら：
Yuki Chan,
マーケティング&コミュニケーション
マネージャー
Yuki.chan@teledyne.com



TELEDYNE e2v
Everywhereyoulook™

お問い合わせはこちら：
Marc Stackler,
アプリケーションエンジニア
シグナルプロセッシングソリューション
Marc.stackler@teledyne.com

