

超高速デジタイジング・システムにおいて、容易に決定性遅延を保証する方法

2021 年 6 月

TELEDYNE e2v | Semiconductors
Everywhere you look™

今日、最新のシステム設計の多くで、決定的遅延についての考察が進んでいます。これまでの取り組みでは、データ伝送速度の向上と帯域幅の拡大に重点が置かれていましたが、最近のアプリケーションでは、データパケットが正確かつ反復可能なタイミングで配信されるという決定性にも同様に高い価値が置かれています。

この記事では、デバイスレベルでの決定性について考察し、超高速のデータ変換システムと信号処理システムをどのように設計すれば決定性遅延を保証できるかを解説しています。

以下の 3 つの要素により、どのように決定性が確保されるかが決まります。

1. デジタル設計要素で発生する準安定イベントを軽減するための措置が取れること
2. 複数のデータリンクレーン間（たとえば HSSL 間）でデータを確実に整列させるために、デジタルバックエンドの遅延が計算できること
3. PVT の変動によって決定性が不用意に発生しないよう遅延時間が調整できること

具体的には、メタスタビリティの影響と同期システムにおけるメタスタビリティの軽減について検討し、アナログ信号とデジタル信号の処理領域の接点において決定性を維持する方法を示します。

超高速システムにおけるデータコンバーターアレイ全体の遅延を管理する能力は、デジタルビーム走査レーダーからビーム形成マルチキャリア通信に至る複雑なシステムにおいて重要です。遅延が大きくなると、その分だけ性能が低下します。エンジニアは、遅延を既知の最大値に制限したいと考えます。

遅延の定義

大まかに定義をすると、遅延とは動作から反応までの時間的な遅れを示す指標です。データをサンプリングするシステムの場合、最も気になるのは最大遅延です。ハードウェアに焦点を当てたこの記事では、不確定性の原因と、その原因をどのように管理するかが重要となります。決定性とは、あるシステムが任意の入力群

用語集

ADC - アナログ・デジタル変換器
CDC - クロックドメイン・クロッシング
CLK - サンプルクロック
CMU - クロック管理部
ESIstream - 高効率シリアルインターフェース
ESS - ESIstream 同期シーケンス
FPGA - 書き替え可能ゲートアレイ
GT - ギガビットトランシーバー
HSSLs - 高速シリアルレーン
LD - ロジックデバイス（FPGA や ASIC など）
LMFC - ローカルマルチフレーム・クロック
MZ - 準安定領域
PVT - プロセス、電圧、温度
SSO - 低速同期出力

このことは 2 つの IC データインターフェースで実現できます。その 2 つとは、ライセンスなしで利用できる ESIstream と、業界標準の JESD204B（サブクラス 1 および 2）です。いずれも広く利用されていて、データコンバーターと FPGA や ASIC などのロジックデバイス（LD）を接続するものです。どちらも決定性を保証しますが、具体的な実装方法がそれぞれ異なります。結論として言えることは、今日の設計者は、究極の柔軟性か、それとも低コストでわかりやすく絶対遅延を抑えた ESIstream のいずれかを選択できます。

について必ず一定の結果を出すという単純な要求仕様をいいます。環境の変化や始動時の状態に関係なく、結果が予測でき、無作為な要因は排除されます。本質的には、決定性のあるシステムからは一定の応答が得られます。

決定性のある動作を実現するための課題

不確定性の原因を特定することは、特にギガヘルツ単位のサンプリング周波数では直感的にできるものではありません。図 1 では、ADC である EV12AQ600 をロジックデバイス（LD）に接続するという単純な事例における複数の遅延発生源を示しています。不確定性は、同期ロジックシステムで発生する要因であるメタスタビリティ（右を参照）が原因で発生します。不確定性は、さらに以下の 3 つの要因により悪化します。

- ・ 信号トレース長に物理的な差が生じることでデータパスの長さの不均等を招く可能性のあるクロックドメイン・クロッシング (CDC)
- ・ 複数の HSSLs にまたがるデータの整列により、LD 出力バッファで発生する遅延差
- ・ PVT (プロセス技術、電圧、温度) の影響

メタスタビリティ

メタスタビリティとは、同期システムにおいて、セットアップ時間とホールド時間が有限であるために状態遷移時にロジックの状態が不確定になることをいいます。メタスタビリティは、MZ の後ろに状態サンプル点を生成することで回避できます（図 5）。

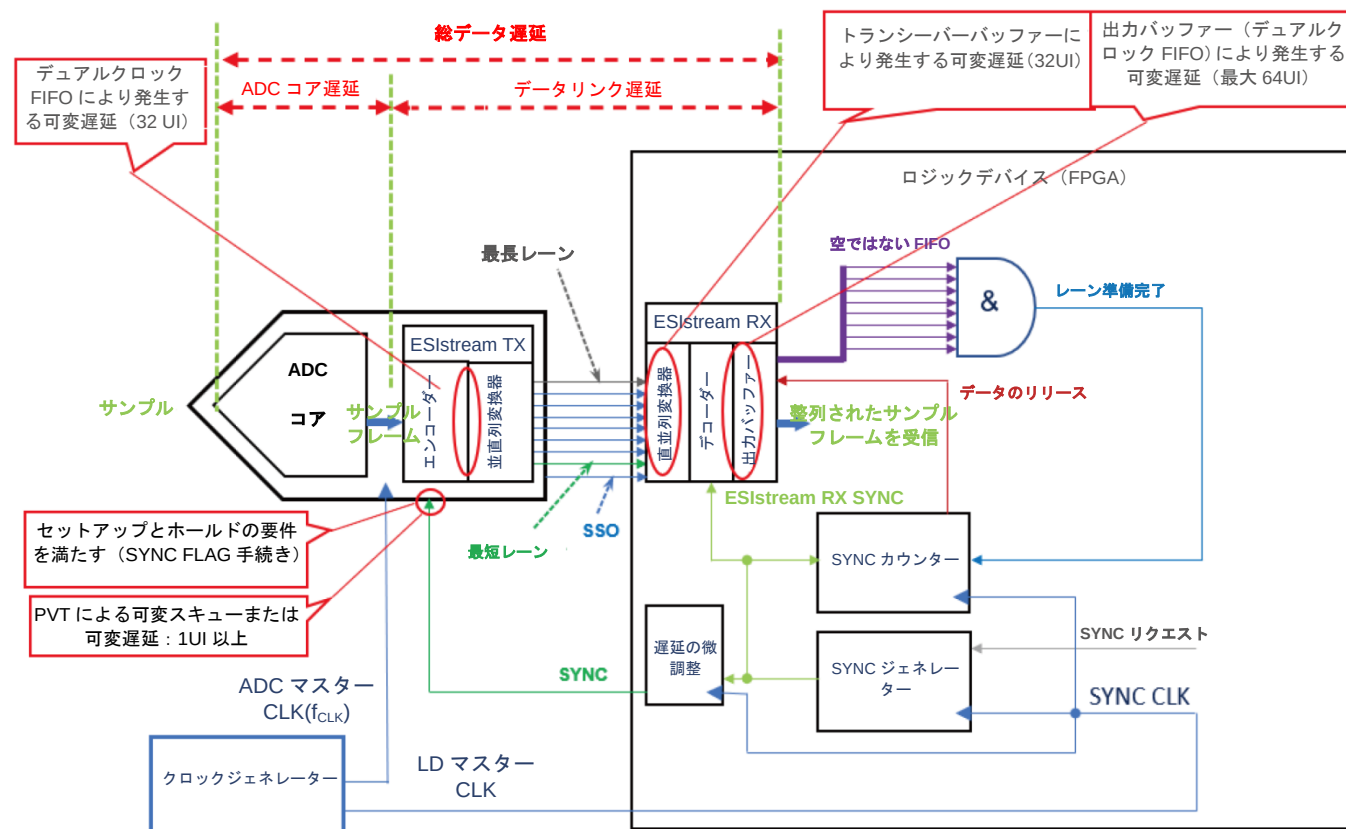


図1 EV12AO600 における不確定性と遅延累積の発生源

超高速デジタイジング・システムにおいて、容易に決定性遅延を保証する方法

2021 年 6 月



メタスタビリティの回避

ここで強調したいのは、システムの生成済み SYNC（同期）信号は、準安定領域（MZ）の外側でサンプリングする必要があります。また、マルチチャネルサンプリングシステム全体で決定的遅延を保証するためには、必ず同じ ADC マスタークロック（fCDK）のエッジでこのサンプリングを行う必要があります。

クロックドメインクロッシング（CDC）

データコンバーターと接続されるロジックデバイス（ここでは FPGA）は、いずれも複雑な同期サブシステムであり、これに関連して局所的な決定性を実現する階層的なクロック構造を持っています。2つの領域を同期させるには、低ジッターの外部マスタークロックを利用する必要があります。

ADC では、デュアルクロック FIFO を使用してエンコーダー・クロックドメインから送信側の並直列変換器クロックドメインにデータを伝送するときに、可変遅延が発生します。FPGA では、トランシーバー・バッファを使用して受信側の直並列変換器からデコーダーへのデータ伝送を行うとき、および出力バッファを使用してデコーダーからユーザーアプリケーションへのデータ伝送を行うときに、可変遅延が発生します。EV12AQ600 の出力データは、4 組の ESIstream シリアルレーンで伝送されます。個々のレーンは、CDC により遅延がそれぞれ微妙に異なります。EV12AQ600 のデータ出力における各レーンの遅延は、126~142 クロックサイクル（32UI の可変遅延）の間で変化します。さらに、ADC と受信側デコーダーの物理的な距離によっても、データ転送に遅延が生じます。並列レーン間の PCB トレース長が異なると、リンクにさらなる遅延またはスキューが生じます。

物理信号のスキュー

従来の PC 基板では、6 GHz の信号を 50Ω のマイクロストリップライン（銅製のトレース）で 6 伝送させると、6.5 ps/mm の伝搬遅延が発生することで、遅延が発生します。データレーンの長さが異なることで、さら

EV12AQ600 の特徴

- ・ 12 ビットクアッドコア ADC
- ・ 最大 6.4 Gsps
- ・ 最大 6.5 GHz の帯域幅
- ・ 内蔵型クロスポイントスイッチ

発生したわずかな到着時間差を考慮するよう受信側でスキュー解消（図 2 を参照）やデータフレームの再整列を行うには、LD 出力バッファで柔軟なデータバッファリングを行う必要があります。スキュー解消により、受信側での正しいレーン整列が可能になります。この後に示すとおり、これは遅延限度を設定するためシステムのトレーニングを行ったうえで、移動時間カウンタを使用して行われます。この限度がわかると、システムが「データのリリース」イベントのフラグを立てることができます。

EV12AQ600 同期クロック

- ・ fCLK と fSSO
- ・ fCLKMAX = 6.4 GHz (fserial = 2 × fCLK)
- ・ fSSO = fCLK/32

なる伝送遅延がもたらされます。そのため、LD のスキュー解消バッファのサイズは、この要素も考慮して決める必要があります。

超高速デジタル・システムにおいて、容易に決定性遅延を保証する方法

2021 年 6 月



P、V、T の影響

プロセス（たとえば半導体プロセス）、電圧、温度の経時変化は、電子システムの動作に影響を及ぼします。このため構成要素は、その性能を調査するために徹底的な評価を受け、PVT の境界条件が定められます。決定性遅延を保証するよう設計されたシステムは、プロセス（P）、電圧（V）、温度（T）の変化が決定性に影響を与えないように十分な堅牢性を備えていなければなりません。このためには、システムの初期校正を可能にする何らかの制御メカニズムとともに、性能を常時監視するための二次的手法がほぼ確実に必要となります。これについてはまた後ほど紹介します。

以上の要素をすべて考慮すると、SYNC パルスから受信出力バッファの「有効データ」がアサートされるまでの遅延時間が一定であれば、システムの遅延が決定性のあるものとなります（図 2: データのリリース）。さらに、このイベントが複数回の電源投入とリセットのサイクル実施後にも再現可能な場合、このイベントは堅牢なイベントといえます。

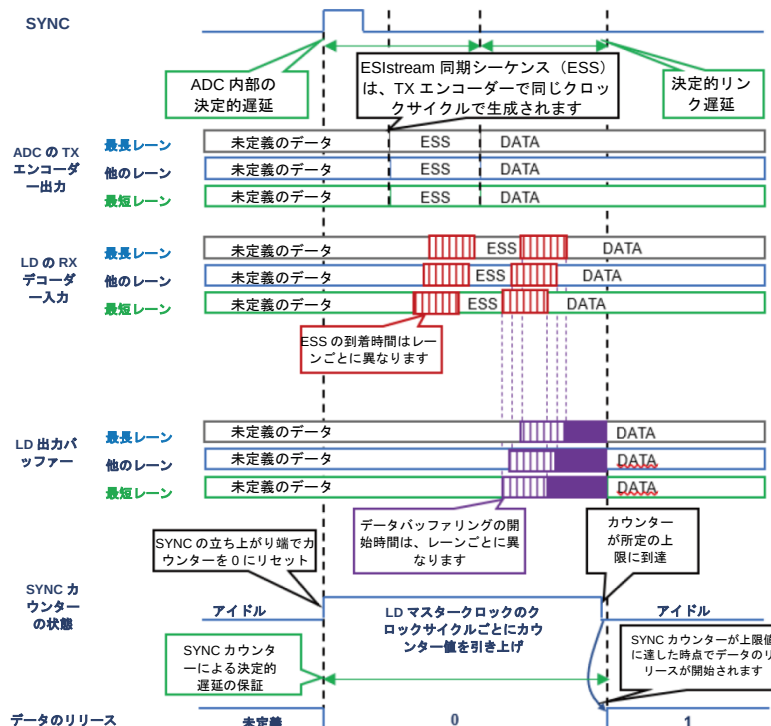


図2 LD 内の ADC 出力データのスキュー解消

同期フラグ手続きに従った ADC 内のメタスタビリティの解消

メタスタビリティを回避するため、図 3 に示すようにマスタークロックに対するゲート遅延が導入されています。この回避方法は、基本的にはタイミング変更手法です。

EV12AQ600 の 4 つのコアを同期させるには、正確なコア・インターリーピングを実現するための精密なクロックが必要です。これは、SYNC_CTRL レジスタ（0x000C）を介して実行されるメタスタビリティ軽減デバイスも備えた ADC クロック管理部（CMU）の役割です。まず ADC は、SYNC_FLAG ビット（0x000D = 1）をアサートすることでメタスタビリティを示します。アサートされると、SYNC_CTRL レジスタが ADC のサンプリングエッジのユーザープログラミングを許可します（図 3）。メタスタビリティが回避されているか

どうかは、SYNC_FLAG が再アサートされているかどうかで確認できます。問題がなければ、SYNC_FLAG は Low のままとなります（SYNC_FLAG 手続きについては、EV12AQ600 のデータシートをご覧ください）。

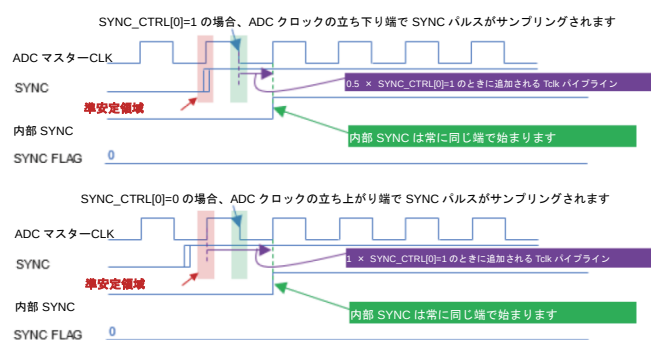


図3 準安定領域を回避するための同期パルス遅延



SYNC チェーン - マルチチャネルでの決定性を確保するためのわかりやすい方法

EV12AQ600 の CMU には、内部のメタスタビリティを解消するための制御機能が備わっています。その利点として、EV12AQ600 では同期出力信号 (SYNCO) による SYNC チェーンを行えます。この出力は、拡張システム内の他の ADC にデジタイズチェーン接続できます。このようにして、決定的で位相を揃えたサンプリングが終始維持されます。このことは、デジタルビームフォーミング技術を用いる用途など、位相情報が重要と

なるシステムで大きな利点となります。

この手法では、マルチチャネルシステム間での決定的サンプリングが拡張されますが、影響を与えるのはアナログ・フロントエンドに対してのみです。LD に送信される出力データに決定性があることを保証するものではありません。そのため、デジタル領域ではさらなる軽減措置が必要となります。

デジタル・バックエンドの決定性の確保

図 2 では、個々の ESS の到着時間にばらつきがありました。これらのレーンのスキューを解消するための明らかに負担の少ない手法として、LD 内に簡単に実装できる遅延カウンターを配置することが挙げられます。図 4 を参照してください。

カウンターは ADC の最初の SYNC パルスからの、および LD が最も遅い ESS を受信してからの、経過クロックサイクル数を累積します。この時点で「データのリリース」イベントがアサートされ、受信データのデシリアライゼーションが完了したことがわかります。システムのトレーニングを行ったうえで、この SYNC 遅延は、リンク層と物理的な銅配線の両方からの寄与を含む最も遅い ESStream レーンのリンク遅延量を表し

ます。

このカウンターの遅延により、その後のすべての受信バッファデータの整列が可能になります。大規模な分散システムでは当然データリンクの遅延がコンバーターごとに異なるため、初期トレーニング段階でデータリンクの遅延を設定する必要があります。幸い ESStream システムでは、SYNC チェーンによって決定的サンプリングを実行しやすくなっています。データ準備完了のアサートを SYNC イベントから差し引き、遅延を確保し最遅のレーンを考慮した適切なマージンを確保することで、複数の分散システムにわたる決定的遅延を拡張できます。

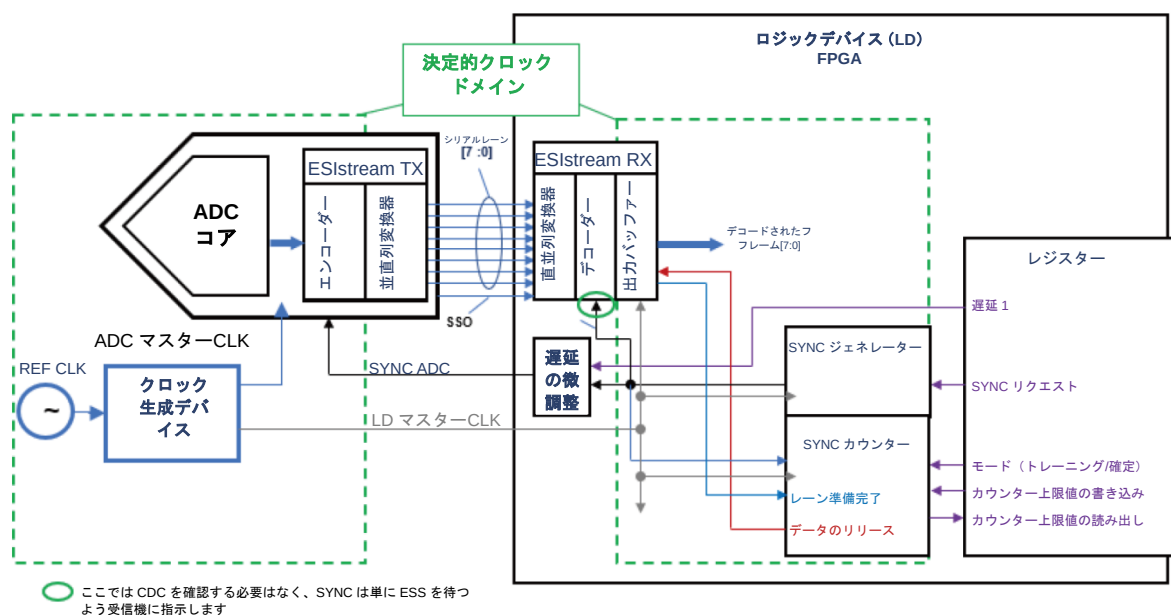


図 4 同期カウンターループは最も遅いレーンの準備が整うまで、「データレーン準備完了」アサートを遅らせます

超高速デジタイジング・システムにおいて、容易に決定性遅延を保証する方法

2021 年 6 月



決定性に対する PVT の影響の管理

Two countermeasures are suggested by Teledyne e2v: サンプル周波数が高くなり特に EV12AQ600 の上限である 6.4 GHz に近づくと、温度変化によるクロック信号のスキューによりシステムが決定的動作から外れてしまう可能性があるため、その対策が必要となります。そこで Teledyne e2v は、以下の 2 つの対策を提案しています。

- ・ システムの機能上の動作限界を設定するため、温度

変化ごとにシステムの特性を評価する

- ・ SYNC パルス端の位置設定のための動的微調整アルゴリズムを開発する

明らかに、後者のより複雑な手法の方が使用期間中により高い復元力を発揮しますが、開発コストは高くなります。

熱特性評価

ここでの目的は、決定性を保証する安全な中間温度の動作点を設定すること、そして次に動作範囲における温度を調整し、準安定領域 (MZ) について個々の ADC SYNC_FLAG を監視することです。その結果得られた MZ マップを使用すると、特定の温度で最適な動作マージンが得られる SYNC_EDGE の値 (0: 立ち上がり、または 1: 立ち下がり) を判定できます。ローカル・ルックアップテーブルに格納されたこの情報により、システムは SYNC_EDGE を適切に変更して、温度変化に対応できます。

慎重に MZ マッピングを行うことで、メタスタビリティを回避しやすくなります。この手法に限界があると思われるのは、経年変化です。使用期間における性能を評価し、時間依存の MZ マップを確立するのはより困難です。このような場合は、別の手法を取る方が良いでしょう。

熱制御アルゴリズム

SYNC パルスの位相オフセット (対マスタークロック) を動的に調整するアルゴリズムを考案することができます。これは、Xilinx 社の FPGA における ODELAY モジュールのように、追加の時間遅延ブロックとして LD 内に実装できます。

前述のとおり、中間温度の決定的動作点を設定してください。次に SYNC_FLAG プロセスを使用して、マスタークロックに対する SYNC の位相を全位相範囲 (0 ~ 360°) にわたって調整し、個々の ADC SYNC_FLAG アサートイベントを監視してください。このプロセスにより、同期位相マージンの範囲が確定します。この情報があれば、以下の方法で決定的動作を維持できま

す。

- ・ 最大位相マージンを持つ SYNC パルスの設定
- ・ メタスタビリティを回避するための位相の動的調整

いずれの方法を採用するにしても、システムを慎重に検討する必要があります。図 5 に示すように、高いクロック周波数では位相マージンが常に圧迫されています。レイアウトに配慮して、個々の ADC とともに配置されている外付け IC による SYNC 位相微調整制御機能を導入する必要があります。

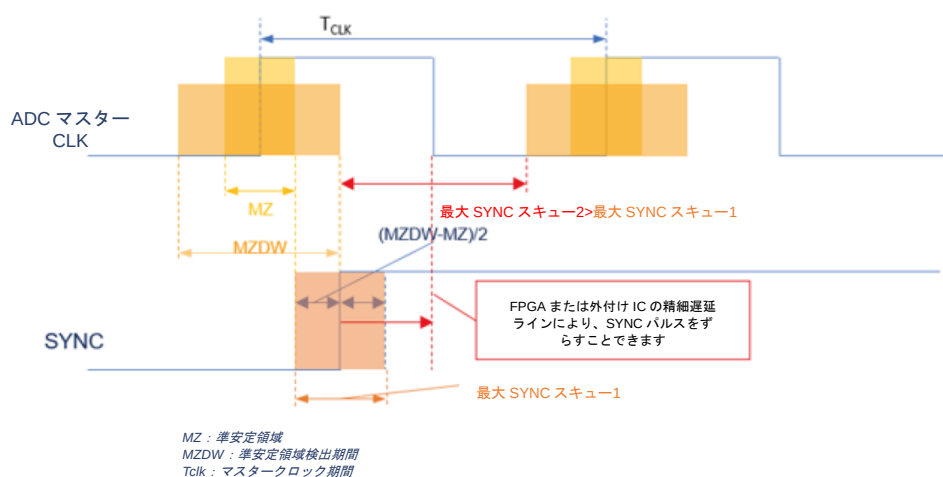


図5 最も困難なシステム環境では、この精細な遅延手法が必要となる場合があります

絶対的遅延はどのデジタル設計を選択するかで決まります

全体の遅延を決定する要因の 1 つとして、データフレーム長の選択が挙げられます。これはロジックデバイスの設計にも影響します。表 2 は、1 語、2 語、3 語の長さのフレームを選択した場合の影響を数値化したものです。

フレーム長	HSSL の数	最大データレート (Gbps)	FPGA フレーム周波数	FPGA リソース	
				KU060 (LUTs)	KU060 フリップフロップ
16-bit	8	6.25	390.625	1803	1854
32-bit	8	12.5	390.625	3551	2514
64-bit	8	12.5	195.31	5291	4222

表1 フレーム長の選択により、ロジックリソースとデータレートが決まります

最近の FPGA は、最大で 400~500 MHz のレーンデータレートを復号できます。しかしながら、経済的な事情がデータフレーム長の選択に影響を及ぼします。用途によっては、より遅いフレームレートが望ましい場合もあります。これは、より長いフレームを使用することで実現できます (表 1)。

ただしこの選択は、必要なデジタルリソースの複雑さに影響し、暗黙的に絶対的遅延の総量の増加を招きます (図 6)。

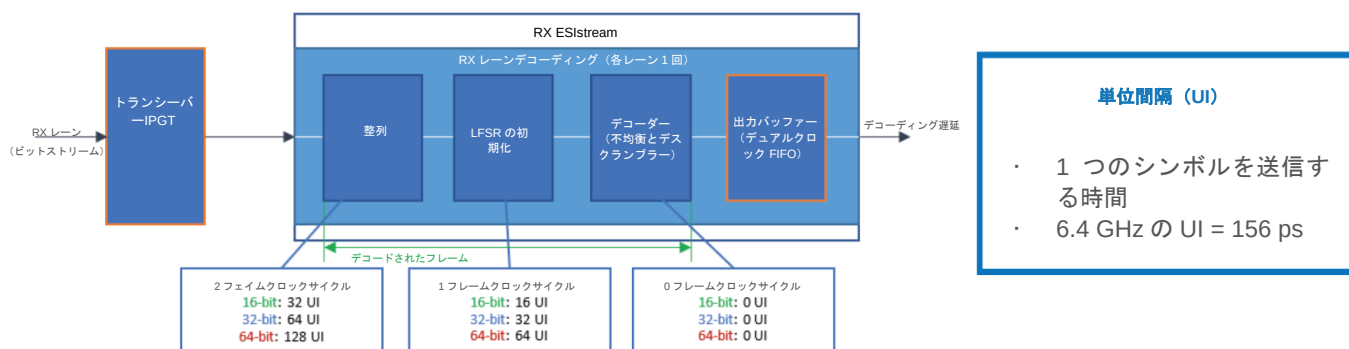


図6 単位間隔 (UI) で表したシステムの合計遅延

超高速デジタイジング・システムにおいて、容易に決定性遅延を保証する方法

2021 年 6 月



ESIstream と JESD204B/C の比較

JESD204B/C は最高度の再構成可能性が求められる場合に適している一方で、信号処理業界では間違いなくその外側からは見えない複雑性が存在しています。このことは、あるベンダーの技術資料に書かれている「JESD204 サバイバルガイド」という表題にも示されています。その理由は、複数のクロックドメインと複雑なトランスポート層に秘められています。ESIstream と JESD204B/C の大まかな特徴を以下（表 2）にまとめています。

ESIstream は、JESD204 のトランスポート層におけるコーディングの複雑さを解消するとともに、たった 12 ページの簡潔な仕様書に簡単に記述できるという利点があります。さらに、以下の複数の理由により簡単に実装できます。

- ローカルマルチフレーム・クロック（LMFC）の廃

止により、フレーム構造がシンプルになり、デバッグが容易になった。

- SYNC 信号は、SYNCO 出力でマスタークロックに（個別のコンバーター内で）再同期されるため、PCB のトレース長の調整を考慮する必要がない。
- 外部 SYSREF 信号を廃止したため、ESIstream では決定性の確保のためにハードウェアを追加する必要がほぼなくなった。
- 決定的遅延が 1 回のトレーニングプロセスで確保される。遅延パラメーターが確定されると、そのパラメーターが特定の設計に対して固定されます。そのため ESIstream は、より簡単に実環境に拡張できます。

パラメーターの検討	JEDEC JESD204B/C	ESIstream
Raw データの最大スループット（1 レーンあたり）	12.5 Gbps (B) 32.5 Gbps (C)	12.8 Gbps
仕様規定機関	JEDEC（工業規格）	Teledyne e2v（ライセンス無料）
データ符号化	8b/10b (B) を使用したオクテット 64b Words 64b/66b または 64b/80b (C)	14b/16b を使用した 14b Words
状態	容易に入手可能な IP	容易に入手できる IP（ライセンス無料）
ユーザーにとっての主な利点	最高度の柔軟性（ただしオーバーヘッドと電力は増）	リソースとプロトコルのオーバーヘッドを大幅に削減
決定的遅延を確保できるか？	可能（ハードウェアを要追加）	可能
注意すべき設計上の考慮事項	1. 組み込みの複雑さ 2. トランスポート層の複雑さ 3. 複数のクロックドメイン 4. 設計上の重要な特徴となるトレース長のマッチング	1. 整数のサンプルとデータの直接的関係（CLK:SSO） PLL の追加なく、最小限のハードウェアで済む 2. リンク遅延の低減 3. IP ライセンス料不要 4. 最低電力

表 2 JESD204B/C と ESIstream の機能の概要

超高速デジタイジング・システムにおいて、容易に決定性遅延を保証する方法

2021 年 6 月



結論

決定的遅延を保証するためにシステム設計を管理することは、多くの先進的アプリケーションにおいて重要です。絶対的遅延が性能の決め手になることはほとんどありません。むしろ、固定的な（限定的な）遅延を確保することが重要です。タイミングマージンがより重視される超高速システムでこれを達成することは、ますます困難となっています。幸いなことに、こうした悩みを解決するために専門の部品メーカーができることはたくさんあります。

EV12AQ600 の場合、以下の複数の手法が提示しています。

- ・ 階層的に見ると、最もわかりやすい指標はメタスタビリティ指標（SYNC_FLAG）で、これと SYNC 端制御を併用することで、許容されない状態を回避するために SYNC フェーズを調整することができます。
- ・ 次は同期出力信号（SYNCO）の提供です。この再同期された SYNC 信号は、一連の ADC を介してデジタイチェーン接続され、拡張されたシステム全体で一貫性のあるサンプリング位相を保証できます。
- ・ 最後に、マスタークロックと SYNC 遅延カウンタ

ー/ジェネレーターロジックブロックを併用することで、LD でのデータレーンの到着時間のばらつきを簡単に解消できます。

よく議論される話ですが、ライセンス無料の ESIstream はデータリンク層が単純化されているため、複雑なシステムでは明らかに有利であるというのが弊社の主張です。JESD204B/C（サブクラス 1 および 2）にも決定性を保証する仕組みがありますが、堅牢なリンク動作を確立するのはより困難であることが報告されています。JESD204B/C の技術的な課題の多くは、JESD204B/C がサポートしている運用プロファイルの多様性に起因して、トランスポート層が複雑であることに由来しています。

低オーバーヘッドの ESIstream の詳細については、ESIstream.com のオンラインリソースセンターをご覧ください。いずれの手法を選択しても、システム設計時に決定的遅延を確保することは可能です。



お問い合わせはこちら：
Yuki Chan,
マーケティング&コミュニケーション
マネージャー
Yuki.chan@teledyne.com



お問い合わせはこちら：
Marc Stackler,
アプリケーションエンジニア
シグナルプロセッシングソリューション
Marc.stackler@teledyne.com

